

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2003年10月9日 (09.10.2003)

PCT

(10) 国際公開番号
WO 03/083925 A1

(51) 国際特許分類7: H01L 21/316, 21/318, 21/3065

(21) 国際出願番号: PCT/JP03/04091

(22) 国際出願日: 2003年3月31日 (31.03.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2002-97906 2002年3月29日 (29.03.2002) JP

(71) 出願人(米国を除く全ての指定国について): 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED) [JP/JP]; 〒107-8481 東京都港区赤坂五丁目3番6号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 普原 卓也 (SUGAWARA,Takuya) [JP/JP]; 〒407-0192 山梨県韮崎市 穂坂町三ツ沢650 東京エレクトロン株式会社内 Yamanashi (JP). 多田 吉秀 (TADA,Genji) [JP/JP]; 〒407-0192 山梨県韮崎市 穂坂町エレクトロン株式会社内 Yamanashi (NAKAMURA,Genji) [JP/JP]; 〒407-0192 山梨県韮崎市 穂坂町三ツ沢650 東京エレクトロン株式会社内

Yamanashi (JP). 尾崎 成則 (OZAKI,Shigenori) [JP/JP]; 〒660-0891 兵庫県尼崎市扶桑町1-8 東京エレクトロン株式会社内 Hyogo (JP). 中西 敏雄 (NAKANISHI,Toshio) [JP/JP]; 〒660-0891 兵庫県尼崎市扶桑町1-8 東京エレクトロン株式会社内 Hyogo (JP). 佐々木 勝 (SASAKI,Masaru) [JP/JP]; 〒660-0891 兵庫県尼崎市扶桑町1-8 東京エレクトロン株式会社内 Hyogo (JP). 松山 征嗣 (MATSUYAMA,Seiji) [JP/JP]; 〒660-0891 兵庫県尼崎市扶桑町1-8 東京エレクトロン株式会社内 Hyogo (JP).

(74) 代理人: 石田 敬, 外 (ISHIDA,Takashi et al.); 〒105-8423 東京都港区虎ノ門三丁目5番1号虎ノ門37森ビル 青和特許法律事務所 Tokyo (JP).

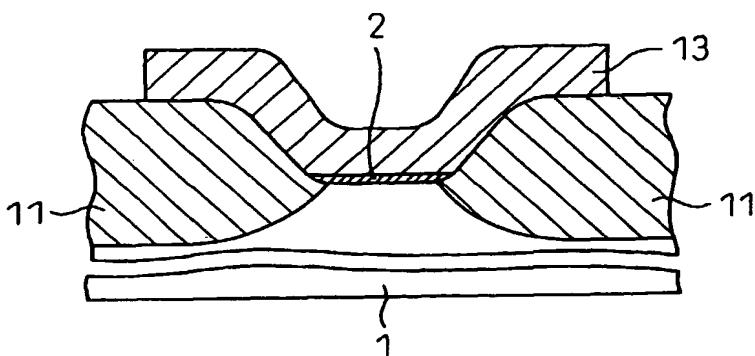
(81) 指定国(国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(34) 指定国(広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,

/統葉有

(54) Title: METHOD FOR FORMING INSULATION FILM

(54) 発明の名称: 絶縁膜の形成方法



insulation film having excellent characteristics can be formed efficiently.

(57) Abstract: A process for forming an insulation film on a basic material for an electronic device comprising more than one step for controlling the characteristics of the insulation film in which an insulation film is formed on the surface of the basic material under an identical operation principle. An insulation film having a high cleanliness can be formed by performing cleaning, oxidizing, nitriding, film-thinning, and the like, while avoiding exposure to the atmosphere. Furthermore, simplification of the system is realized by taking various steps pertaining to formation of an insulation film using an identical operation principle and an

WO 03/083925 A1

(57) 要約: 電子デバイス用基材上に絶縁膜を形成するプロセスにおいて、該工程に含まれる絶縁膜特性を制御する2以上の工程が、同一の動作原理下で行い、基材表面の絶縁膜を形成する。大気への暴露を避けて、洗浄、酸化、窒化、薄膜化などの処理を行うことで、洗浄度の高い絶縁膜の形成が可能となる。さらに、同一の動作原理を用いて絶縁膜の形成に関する様々な工程を行うことで、装置形体の簡略化を実現し、特性の優れた絶縁膜を効率よく形成することが可能となる。



GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR),
OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:
— 国際調査報告書

明細書

絶縁膜の形成方法

技術分野

本発明は、様々な特性（例えば、極薄膜厚の制御や、高い清浄度等）に優れた絶縁膜を効率よく（例えば、一つの反応室で様々な工程を行うことによる小さいフットプリントや、同一の動作原理の反応室で様々な工程を行うことによる操作性の簡略化、装置間のクロスコンタミネーションの抑制等）製造する方法に関する。本発明の電子デバイス材料の製造方法は、例えば半導体ないし半導体デバイス（例えば、特性に優れたゲート絶縁膜を有するMOS型半導体構造を有するもの）用の材料を形成するために好適に使用することが可能である。

背景技術

本発明は半導体ないし半導体装置、液晶デバイス等の電子デバイス材料の製造に一般的に広く適用可能であるが、ここでは説明の便宜のために、半導体装置（devices）の背景技術を例にとって説明する。

シリコンを始めとする半導体ないし電子デバイス材料用基材には、酸化膜を始めとする絶縁膜の形成、CVD等による成膜、エッチング等の種々の処理が施される。

近年の半導体デバイスの高性能化は、トランジスタを始めとする該デバイスの微細化技術の上に発展してきたといつても過言ではない。現在も更なる高性能化を目指してトランジスタの微細化技術の改善がなされている。近年の半導体装置の微細化、および高性能化

の要請に伴い、（例えば、リーク電流の点で）より高性能な絶縁膜に対するニーズが著しく高まって来ている。これは、従来の比較的に集積度が低いデバイスにおいては事実上問題とならなかったような程度のリーク電流であっても、近年の微細化・高集積化および／又は高性能化したデバイスにおいては、シビアな問題を生ずる可能性があるためである。特に、近年始まった、いわゆるユビキタス社会（何時でもどこでもネットワークに繋がる電子デバイスを媒体とした情報化社会）における携帯型電子機器の発達には低消費電力デバイスが必須であり、このリーク電流の低減が極めて重要な課題となる。

典型的には、例えば、次世代MOSトランジスタを開発する上で、上述したような微細化技術が進むにつれてゲート絶縁膜の薄膜化が限界に近づいてきており、克服すべき大きな課題が現れてきた。すなわち、プロセス技術としては現在ゲート絶縁膜をいかで薄膜化しているシリコン酸化膜 (SiO_2) を極限 (1 nm 程度のレベル) まで薄膜化することは可能であるものの、2 nm 以下の膜厚まで薄膜化を行った場合、量子効果によるダイレクトトンネルによるリーク電流の指数関数的な増加が生じ、消費電力が増大してしまうという問題点である。

現在、IT（情報技術）市場はデスクトップ型パソコン 컴퓨터や家庭電話等に代表される固定式電子デバイス（コンセントから電力を供給するデバイス）から、インターネット等にいつでもどこでもアクセスできる「ユビキタス・ネットワーク社会」への変貌を遂げようとしている。従って、ごく近い将来に、携帯電話やカーナビゲーションゲーションシステムなどの携帯端末が主流となると考えられる。このような携帯端末は、それ自体が高性能デバイスであることが要求されるが、これと同時に、上記の固定式デバイス

ではそれほど必要とされない小型、軽量かつ長時間使用に耐えうる機能を備えていることが前提となる。よって、携帯端末においては、これらの高性能化を図りつつ、しかも消費電力の低減化が極めて重要な課題となっている。

典型的には、例えば、次世代MOSトランジスタを開発する上で、高性能のシリコンLSIの微細化を追求していくとリーク電流が増大して、消費電力も増大するという問題が生じている。そこで性能を追求しつつ消費電力を少なくするためには、MOSトランジスタのゲートリーク電流を増加させずにトランジスタの特性を向上させることが必要となる。

このような微細化および特性の向上を両立させるためには、良質で且つ薄い（例えば、膜厚が15Å；オングストローム以下程度）絶縁膜の形成が不可欠である。

しかしながら、良質で且つ薄い絶縁膜の形成は極めて困難である。例えば、従来の熱酸化法またはCVD（化学気相堆積法）により、このような絶縁膜を成膜した場合には、膜質または膜厚のいずれか一方の特性が不充分であった。

発明の開示

本発明の目的は、上記した従来技術の欠点を解消した電子デバイス用基材上の薄い絶縁膜の形成方法を提供することにある。

本発明の他の目的は、その後の処理（CVD等による成膜、エッチング等）を好適に行うことが可能な、膜質または膜厚のいずれも優れた絶縁膜を与えることができる、電子デバイス用基材表面の薄い絶縁膜の形成方法を提供することにある。

本発明の更に他の目的は、同一の動作原理を用いて上記絶縁膜の形成に関する様々な工程を行うことで、装置形体の簡略化を実現し

、特性の優れた絶縁膜を効率よく形成することにある。

本発明者は鋭意研究の結果、従来のような一つの装置で一つの工程を行うだけではなく、一つの装置で様々な工程を行うことが可能な方法を用いて絶縁膜を形成することが上記目的達成の為に極めて効果的であることを見出した。

本発明による電子デバイス用基材表面の絶縁膜の形成方法は上記知見に基づくものであり、より詳しくは、電子デバイス用基材上に絶縁膜を形成するプロセスにおいて、該工程に含まれる絶縁膜特性を制御する2以上の工程が、同一の動作原理下で行われることを特徴とするものである。

本発明においては、例えば、電子デバイス用基材に少なくとも希ガスを含む処理ガスを用いたプラズマを照射することでクリーニング効果を得るものや、同様のプラズマに酸素や窒素を含むことで酸化や窒素化するもの、酸化膜を始めとする酸素原子を含む絶縁膜に同様のガス中に少なくとも水素を含むことで絶縁膜の厚さを低減させることができる。

上記構成を有する本発明の絶縁膜の形成方法によれば例えば、膜質に重点を置いて任意の厚さの膜を形成した後に、特定のプラズマ処理により薄膜化することにより、任意の膜厚の絶縁膜が容易に得ることができる。

図面の簡単な説明

図1は、本発明により形成することが可能なMOS構造の一例を示す模式断面図である。

図2は、本発明の絶縁膜の形成方法に使用可能な半導体製造装置の一例を示す部分模式断面図である。

図3は、本発明の絶縁膜の形成方法に使用可能な平面アンテナ（

R L S A ; Slot Plane AntennaないしSPAと称される場合もある
）プラズマ処理ユニットの一例を示す模式的な垂直断面図である。

図4は、本発明の電子デバイス材料の製造装置に使用可能なRL
SAの一例を示す模式的な平面図である。

図5は、酸化前プラズマ処理を施した場合と酸化前プラズマ処理
を施さなかった場合の酸化膜のリーク特性を示すグラフである。横
軸は電気的膜厚、縦軸はゲート電圧V_{fb} - 0.4Vにおけるゲー
ト酸化膜のリーク電流値である。

図6は、同様の膜のフラットバンド特性を示す。横軸は電気的膜
厚、縦軸はフラットバンド電圧である。

図7aは、本発明における複数工程（マルチプロセス）を用いた
ゲート酸化膜の電気的膜厚の経時変化（各工程ごとにおける電気
的膜厚の変化）を示す。横軸は処理時刻、縦軸は電気的膜厚である
。

図8bは、図6と同様の膜のフラットバンド電圧の経時変化（各
工程ごとにおけるフラットバンド電圧の変化）を示す。横軸は処理
時刻、縦軸はフラットバンド電圧である。

図9は、図6と同様の膜における膜中酸素濃度のSIMS分析結
果を示す。横軸は分析におけるエッティング時間、縦軸は酸素信号強
度を示す。

図9は、ゲート酸化膜やゲート絶縁膜が成膜されるシリコン基板
表面の一例を示す模式断面図である。

図10は、基板表面上へのプラズマ処理の一例を示す模式断面図
である。

図11は、プラズマを用いる基板上へのSiO₂膜の成膜および
窒化処理、水素プラズマ処理の一例を示す模式断面図である。

図12は、Hi-k材料の成膜の一例を示す模式断面図である。

図13は、H i - k 材料膜上へのゲート電極の形成の一例を示す模式断面図である。

図14は、M O S キャパシタの形成の一例を示す模式断面図である。

図15は、イオン打ち込み（インプラ）によるソース、ドレイン形成の一例を示す模式断面図である。

図16は、本発明により得られるM O S トランジスタ構造の一例を示す模式断面図である。

発明を実施するための最良の形態

以下、必要に応じて図面を参照しつつ本発明を更に具体的に説明する。以下の記載において量比を表す「部」および「%」は、特に断らない限り質量基準とする。

（絶縁膜の形成方法）

本発明においては、電子デバイス用基材に少なくとも水素を含む処理ガスを用いたプラズマを照射することでクリーニング効果を得るものや、同様のプラズマに酸素や窒素を含むことで酸化や窒化を行うもの、酸化膜を始めとする酸素原子を含む絶縁膜に同様のプラズマに少なくとも水素を含むことで絶縁膜の厚さを低減させるなどの2以上の工程を任意に組み合わせることで、極めて薄い（15 Å以下）絶縁膜を形成することができる。本発明の絶縁膜の形成方法の適用の対象は特に制限されないが、本発明は、例えば、成膜条件等に敏感な高誘電率（H i g h - k）材料の成膜に特に適した表面を有する、薄い絶縁膜を与える。

（形成される絶縁膜）

本発明により形成可能な絶縁膜の組成、厚さ、形成法、特性は以下の通りである。

組成：酸化膜、酸窒化膜、窒化膜

形成法：少なくとも希ガスを含むプラズマを用いた单一の容器内において、電子基材上に洗浄、酸化、窒化、薄膜化の1または2以上の工程が施されたもの。もしくは、同一の動作原理により形成される少なくとも希ガスを含むプラズマを複数の容器内に発生させ、電子基材上に洗浄、酸化、窒化、薄膜化の工程が施されたもの。

厚さ：物理的薄膜 5 A ~ 20 A

(膜質および膜厚の評価)

本発明により得られた薄い絶縁膜の膜質および膜厚の程度は、例えば、該表面上に実際に Hig h - k 材料を成膜することにより、好適に評価することができる。この際に良質な Hig h - k 材料膜が得られたか否かは、例えば、例えば、文献 (VLSI デバイスの物理 岸野正剛、小柳光正著 丸善 P 62 ~ P 63) に記載されたような標準的な MOS 半導体構造を形成して、その MOS の特性を評価することにより、上記絶縁膜の特性評価に代えることができる。このような標準的な MOS 構造においては、該構造を構成する絶縁膜の特性が、MOS 特性に強い影響を与えるからである。

このような MOS 構造の形成としては、例えば、後述する実施例 1 の条件で、その Hig h - k 材料膜を含む MOS キャパシタを形成することができる。このように実施例 1 の条件で、Hig h - k 材料膜を含む MOS キャパシタを形成した場合に、本発明においては、下記のような (1) フラットバンド特性または (2) リーク特性 (より好ましくは、これらの両方) が得られることが好ましい。

(1) 好ましいフラットバンド特性：熱酸化膜と比較して ± 50 mV 以内

(2) リーク特性：熱酸化膜と比較して 1 衍以下の低減
(後の処理との組合せ)

本発明の絶縁膜の形成方法により得られる薄い絶縁膜は、種々の続く処理に適したものとなる。このような「後の処理」は、特に制限されず、酸化膜の形成、CVD等による成膜、エッチング等の種々の処理であってよい。本発明の絶縁膜の形成方法は、低温で行うことが可能であるため、その後の処理も比較的低温（好ましくは600°C以下、更には500°C以下）の温度条件下の処理と組み合わせた場合に、特に効果的である。その理由は、本発明を用いることで、デバイス作製工程においてもっとも高温を必要とする工程の一つである酸化膜の形成を低温で行うことが可能となっているため、高い熱履歴を避けたデバイス作製が可能となっているからである。

（電子デバイス用基材）

本発明において使用可能な上記の電子デバイス用基材は特に制限されず、公知の電子デバイス用基材の1種または2種以上の組合せから適宜選択して使用することが可能である。このような電子デバイス用基材を例として、例えば、半導体材料、液晶デバイス材料等が挙げられる。半導体材料の例としては、例えば、単結晶シリコンを主成分とする材料、シリコンゲルマニウムを主成分とする材料等が挙げられる。

（処理ガス）

本発明において使用可能な処理ガスは、少なくとも希ガスを含む限り特に制限されず、電子デバイス製造に使用可能な公知の処理ガスの1種または2種以上の組合せから適宜選択して使用することが可能である。このような処理ガス（希ガス）の例としては、例えば、Ar、He、Kr、Xe、Ne、O₂、N₂、H₂、NH₃が挙げられる。

（処理条件）

本発明の絶縁膜の形成においては、得られるべき薄い絶縁膜の特

性の点からは、下記の条件が好適に使用できる。

希ガス（例えば、K r、A r、H e、X e またはN e）：5 0 0
～3 0 0 0 s c c m、より好ましくは1 0 0 0～2 0 0 0 s c c m
、

洗浄工程では、少なくとも希ガスを含む処理ガスで、さらに水素ガスを添加することができる。水素ガスの流量はH₂：0～1 0 0 s c c m、より好ましくは0～5 0 s c c mである。

酸化工程では、少なくとも希ガスと酸素を含む処理ガスで、酸素ガス流量はO₂：1 0～5 0 0 s c c m、より好ましくは1 0～2 0 0 s c c mである。

窒化工程では、少なくとも希ガスと窒素を含む処理ガスで、窒素ガス流量はN₂：3～3 0 0 s c c m、より好ましくは2 0～2 0 0 s c c mである。

エッチング工程では少なくとも希ガスと水素を含む処理ガスで、水素ガス流量はH₂：0～1 0 0 s c c m、より好ましくは0～5 0 s c c mである。

温度：室温2 5 °C～5 0 0 °C、より好ましくは2 5 0～5 0 0 °C
、特に好ましくは2 5 0～4 0 0 °C

圧力：3～5 0 0 P a、より好ましくは7～2 6 0 P a、

マイクロ波：1～5 W/c m²、より好ましくは2～4 W/c m²
、特に好ましくは2～3 W/c m²

本発明において使用可能なプラズマは特に制限されないが、均一な薄膜化が容易に得られる点からは、電子温度が比較的に低くかつ高密度なプラズマを用いることが好ましい。

（好適なプラズマ）

本発明において好適に使用可能なプラズマの特性は、以下の通りである。

電子温度：0.5～2.0 eV

密度：1E10～5E12 / cm³

プラズマ密度の均一性：±10%

(平面アンテナ部材)

本発明の絶縁膜の形成方法においては、複数のスロットを有する平面アンテナ部材を介してマイクロ波を照射することにより電子温度が低くかつ高密度なプラズマを形成することが好ましい。本発明においては、このような優れた特性を有するプラズマを用いて酸窒化膜の形成を行うため、プラズマダメージが小さく、かつ低温で反応性の高いプロセスが可能となる。本発明においては、更に、(従来のプラズマを用いた場合に比べ) 平面アンテナ部材を介してマイクロ波を照射することにより、より好適に薄膜化された絶縁膜の形成が容易であるという利点が得られる。

本発明によれば、薄膜化された絶縁膜を形成することによって、したがって、この薄膜化された絶縁膜上に他の層(例へば、保護絶縁層)を形成することにより、特性に優れた半導体装置の構造を形成することが容易となる。本発明により薄膜化された絶縁膜は、該薄膜化絶縁膜の表面上へのHig h-k材料膜の成膜に特に適している。

(Hig h-k材料)

本発明において使用可能なHig h-k材料は特に制限されないが、物理的膜厚を増加させる点からは、k(比誘電率)の値が7以上、更には10以上のものが好ましい。

このようなHig h-k材料の例としては、Al₂O₃、ZrO₂、HfO₂、Ta₂O₅、およびZrSiO、HfSiO等のシリケート；ZrAlO等のアルミネートからなる群から選択される1又は2以上のものが好適に使用可能である。

(同一容器内における処理)

以下に述べる「同一の容器内」とは、ある工程の後に、被処理基材を、該容器の壁を通過させることなく、続く処理に供することをいう。複数の容器を組み合わせてなる、いわゆる「クラスタ」構造を用いた場合、該クラスタを構成する異なる容器間の移動があった場合は、本発明にいう「同一の容器内」ではないものとする。

本発明において、このように「同一の容器内」で、処理すべき基材（シリコン基板等）を大気へ暴露することなく、連続的に複数の工程を同一の原理を持った反応室内で行うことが可能となり、例えば一つの反応室ですべての工程を行うことでフットプリントの低減が実現できる。また、各工程を別の反応室で処理する場合も、動作原理が同じ反応室を並べるため、ガス配管や操作パネルを同一のものにすることも可能であり、優れたメンテナンス、操作性を実現できる。更に、同一の装置であるため装置間の持ち込み汚染の可能性は低く、複数の反応室を持つクラスタ構成とした場合でも、処理順番を様々に変えることが可能である。この方法を用いると様々な特性を持つゲート絶縁膜の作製が可能となる。

本発明を用いて作製された酸化膜または酸窒化膜をそのままゲート絶縁膜として使用することも可能であるが、本発明を用いて極薄（～10 Å；オングストローム）の酸化膜または酸窒化膜を形成し、その上にH_ig_hh-kなどの高誘電率を持つ物質を成膜することで、H_ig_hh-k物質単独でゲート絶縁膜を形成した場合よりも界面特性、例えばトランジスタのキャリア移動度の高い積層ゲート絶縁膜構造（ゲートスタック構造）を作ることも可能となる。

(MOS半導体構造の好適な特性)

本発明により清浄化された基材上に形成可能な極めて薄く、しかも良質な絶縁膜は、半導体装置の絶縁膜（特にMOS半導体構造の

ゲート絶縁膜) として特に好適に利用することができる。

本発明によれば、下記のように好適な特性を有するMOS半導体構造を容易に製造することができる。なお、本発明により形成した酸窒化膜の特性を評価する際には、例えば、文献（VLSIデバイスの物理 岸野正剛、小柳光正著 丸善P62～P63）に記載されたような標準的なMOS半導体構造を形成して、そのMOSの特性を評価することにより、上記酸窒化膜の自体の特性評価に代えることができる。このような標準的なMOS構造においては、該構造を構成する酸窒化膜の特性が、MOS特性に強い影響を与えるからである。

(製造装置の一態様)

以下、本発明の形成方法の好適な一態様について説明する。

まず本発明の電子デバイス材料の製造方法によって製造可能な半導体装置の構造について、絶縁膜としてゲート絶縁膜を備えたMOS構造を有する半導体装置を図1を参照しつつ説明する。

図1(a)を参照して、この図1(a)において参照番号1はシリコン基板、11はフィールド酸化膜、2はゲート絶縁膜であり、13はゲート電極である。上述したように、本発明の形成方法によれば極めて薄く且つ良質なゲート絶縁膜2を形成することができる。このゲート絶縁膜2は、図1(b)に示すように、シリコン基板1との界面に形成された、品質の高い絶縁膜からなる。例えば2nm程度の厚さの酸化膜もしくは酸窒化膜により構成されている。

この例では、この品質の高い酸化膜2は、O₂、N₂および希ガスを含む処理ガスの存在下で、Siを主成分とする被処理基体に、複数のスロットを有する平面アンテナ部材を介してマイクロ波を照射することによりプラズマを形成し、このプラズマを用いて前記被処理基体表面に形成されたシリコン酸窒化膜（以下「SiON膜」と

いう) からなることが好ましい。このような SiON₂ 膜を用いた際には、後述するように、相間の界面特性(例えば、界面準位)が良好で、且つMOS構造とした際に良好なゲートリーコンduct特性を得ることが容易という特徴がある。

図1に示す態様においては、このシリコン酸窒化膜の表面の上には、更にシリコン(ポリシリコンまたはアモルファスシリコン)を主成分とするゲート電極13が形成されている。

(製造方法の一態様)

次に、このようなシリコン酸窒化膜の製造方法について説明する。

図2は本発明の電子デバイス材料の製造方法を実施するための半導体製造装置30の全体構成の一例を示す概略図(模式平面図)である。

図2に示すように、この半導体製造装置30のほぼ中央には、ウェハW(図2)を搬送するための搬送室31が配設されており、この搬送室31の周囲を取り囲むように、ウェハに種々の処理を行うためのプラズマ処理ユニット32、33、各処理室間の連通/遮断の操作を行うための二機のロードロックユニット34および35、が配設されている。

ロードロックユニット34、35の横には、種々の予備冷却ないし冷却操作を行うための予備冷却ユニット45、冷却ユニット46がそれぞれ配設されている。

搬送室31の内部には、搬送アーム37および38が配設されており、前記各ユニット32~36との間でウェハW(図2)を搬送することができる。

ロードロックユニット34および35の図中手前側には、ローダーアーム41および42が配設されている。これらのローダーアーム

ム41および42は、更にその手前側に配設されたカセットステージ43上にセットされた4台のカセット44との間でウエハWを出し入れすることができる。

なお、図2中のプラズマ処理ユニット32、33としては、同型のプラズマ処理ユニットが二基並列してセットされている。

更に、これらプラズマ処理ユニット32およびユニット33は、ともにシングルチャンバ型CVD処理ユニットと交換することが可能であり、プラズマ処理ユニット32や33の位置に一基または二基のシングルチャンバ型CVD処理ユニットをセットすることも可能である。

プラズマ処理が二基の場合、例えば、処理ユニット32でSiO₂膜を形成した後、処理ユニット33でSiO₂膜を表面窒化する方法を行っても良く、また処理ユニット32および33で並列にSiO₂膜形成とSiO₂膜の表面窒化を行っても良い。

(プラズマ処理装置の一態様)

図3はゲート絶縁膜2の成膜に使用可能なプラズマ処理ユニット32(33)の垂直方向の模式断面図である。

図3を参照して、参考番号50は、例えばアルミニウムにより形成された真空容器である。この真空容器50の上面には、基板(例えばウエハW)よりも大きい開口部51が形成されており、この開口部51を塞ぐように、例えば石英や酸化アルミニウム等の誘電体により構成された偏平な円筒形状の天板54が設けられている。この天板54の下面である真空容器50の上部側の側壁には、例えばその周方向に沿って均等に配置した16箇所の位置にガス供給管72が設けられており、このガス供給管72からO₂や希ガス、N₂およびH₂等から選ばれた1種以上を含む処理ガスが、真空容器50のプラズマ領域P近傍にムラなく均等に供給されるようになって

いる。

天板 5 4 の外側には、複数のスロットを有する平面アンテナ部材、例えば銅板により形成された平面アンテナ (R L S A) 6 0 を介して、高周波電源部をなし、例えば 2. 4 5 G H z のマイクロ波を発生するマイクロ波電源部 6 1 に接続された導波路 6 3 が設けられている。この導波路 6 3 は、R L S A 6 0 に下縁が接続された偏平な平板状導波路 6 3 A と、この平板状導波路 6 3 A の上面に一端側が接続された円筒形導波管 6 3 B と、この円筒形導波管 6 3 B の上面に接続された同軸導波変換器 6 3 C と、この同軸導波変換器 6 3 C の側面に直角に一端側が接続され、他端側がマイクロ波電源部 6 1 に接続された矩形導波管 6 3 D とを組み合わせて構成されている。

前記円筒形導波管 6 3 B の内部には、導電性材料からなる軸部 6 2 の、一端側が R L S A 6 0 の上面のほぼ中央に接続し、他端側が円筒形導波管 6 3 B の上面に接続する。軸部 6 2 は細状に設けられており、これにより当該導波管 6 3 B は同軸導波管として構成されている。

また真空容器 5 0 内には、天板 5 4 と対向するようにウェハ W の載置台 5 2 が設けられている。この載置台 5 2 には図示しない温調部が内蔵されており、これにより当該載置台 5 2 は熱板として機能するようになっている。更に真空容器 5 0 の底部には排気管 5 3 の一端側が接続されており、この排気管 5 3 の他端側は真空ポンプ 5 5 に接続されている。

(R L S A の一態様)

図 4 は本発明の電子デバイス材料の製造装置に使用可能な R L S A 6 0 の一例を示す模式平面図である。

この図 4 に示したように、この R L S A 6 0 では、表面に複数の

スロット 60 a、60 a、…が同心円状に形成されている。各スロット 60 a は略方形の貫通した溝であり、隣接するスロットどうしは互いに直交して略アルファベットの「T」の文字を形成するよう配設されている。スロット 60 a の長さや配列間隔は、マイクロ波電源部 61 より発生したマイクロ波の波長に応じて決定されている。

(プラズマ処理の一態様)

続いて、本発明に用いるプラズマ処理の一態様について説明する。

プラズマ処理ユニット 32 (図2) 内の真空容器 50 の側壁に設けたゲートバルブ (図示せず) を開いて、搬送アーム 37、38 により、前記シリコン基板 1 表面にフィールド酸化膜 11 が形成されたウエハWを載置台 52 (図3) 上に載置する。

続いてゲートバルブを閉じて内部を密閉した後、真空ポンプ 55 により排気管 53 を介して内部雰囲気を排気して所定の真空度まで真空引きし、所定の圧力に維持する。一方マイクロ波電源部 61 より例えば 1.80 GHz (2200W) のマイクロ波を発生させ、このマイクロ波を導波路により案内して RLSA 60 および天板 54 を介して真空容器 50 内に導入し、これにより真空容器 50 内の上部側のプラズマ領域 P にて高周波プラズマを発生させる。

ここでマイクロ波は矩形導波管 63 D 内を矩形モードで伝送し、同軸導波変換器 63 C にて矩形モードから円形モードに変換され、円形モードで円筒形同軸導波管 63 B を伝送し、更に平板状導波路 63 A を径方向に伝送していき、RLSA 60 のスロット 60 a より放射され、天板 54 を透過して真空容器 50 に導入される。この際マイクロ波を用いているため高密度・低電子程度のプラズマが発生し、またマイクロ波を RLSA 60 の多数のスロット 60 a から

放射しているため、このプラズマが均一な分布なものとなる。

酸化膜を形成する場合はマイクロ波の導入に先立ちウエハWを図3の反応室50に導入し、ステージ52で加熱しながらガス供給管72より酸化膜形成用の処理ガスであるクリプトンやアルゴン等の希ガスと、酸素ガスとをそれぞれ2000 sccm、200 sccmの流量で導入する。反応室の圧力を133 Paに保ちマイクロ波を2 W/cm²で導入することでプラズマを発生させ酸素ラジカルをシリコンウェハW表面で反応させることでシリコン酸化膜を形成する。酸化前処理の場合は処理ガスとして希ガスのみ、もしくは希ガスと水素ガスが好適に用いられる。窒化処理の場合は処理ガスとして希ガスと窒素を含むガスとが用いられる。

以下、実施例により本発明を具体的に説明する。

実施例

実施例1

以下の方法により、種々の評価を行うためのデバイス（N型MOSキャパシタ）を形成した。

（1）：基板（図9）

図9に示されるように、基板にはP型のシリコン基板を用い、比抵抗が8～12 Ω cm、面方位（100）のものを用いた。シリコン基板表面には熱酸化法により500 Å（オングストローム）犠牲酸化膜が成膜されている。

（2）：ゲート酸化前洗浄

APM（アンモニア、過酸化水素水、純水の混合液）とHPM（塩酸、過酸化水素水、純水の混合液）およびDHF（フッ酸と純水の混合液）を組み合わせたRCA洗浄によって犠牲酸化膜と汚染要素（金属や有機物、パーティクル）を除去した。

（3）：酸化前プラズマ処理（図10）

上記の(2)の処理後に、基板上にRLSAプラズマ処理を施した(図10)。処理条件は以下である。ウェハを図2の32および図3に示される真空(背圧 1×10^{-4} Pa以下)の反応処理室に搬送したのち、基板温度400°C、希ガス(例えばArガス)1000sccm、圧力を7Pa～133Pa(50mTorr～1Torr)に保持した。その雰囲気中に複数のスロットを有する平面アンテナ部材(RLSA)を介して2～3W/cm²のマイクロ波を照射することにより希ガスプラズマを発生させ、基板表面上にプラズマ処理を施した(図10)。また、場合により希ガスに水素5～30sccmを含ませることにより、水素プラズマによる酸化前処理を施す場合がある。

(4) : プラズマ酸化プロセス(図11)

上記(3)の処理が施されたシリコン基板上に次に示すような方法で酸化膜を形成した。(3)の処理が施されたシリコン基板への暴露を行わないまま次のようなプロセスを行う(例えば、反応室32で処理を行う、真空搬送系を用い、大気への暴露を防いで他の反応室33で処理を行う等)ことで、(3)の処理で得られた有機物汚染除去や自然酸化膜除去効果を最適に維持したまま、酸化処理を施すことが出来る。400°Cに加熱されたシリコン基板上に希ガスと酸素とをそれぞれ1000～2000sccm、50～500sccmずつ流し、圧力を13Pa～133Pa(100mTorr～1000mTorr)に保持した。その雰囲気中に複数のスロットを有する平面アンテナ部材(RLSA)を介して2～3W/cm²のマイクロ波を照射することにより酸素および希ガスとを含むプラズマを形成し、このプラズマを用いて3の基板上にSiO₂膜を成膜した(図11)。また、処理時間を含む処理条件を変えることで膜厚を制御した。

(5) : プラズマ窒化プロセス (図 1 1)

上記 (4) の処理が施された酸化膜上に次に示すような方法で窒化を施した。 (4) の処理が施された酸化膜上に大気への暴露を行わないまま次のようなプロセスを行う (例えば同じ反応室 3 2 で処理を行う、真空搬送系を用い、大気への暴露を防いで他の反応室 3 3 で処理を行う等) ことで、 (4) の処理で得られた酸化膜上部への有機物汚染や自然酸化膜増加を抑制したまま、窒化処理を施すことが出来る。400°Cに加熱されたシリコン基板上に希ガスと窒素とをそれぞれ 500 ~ 2000 sccm、4 ~ 500 sccm ずつ流し、圧力を 3 Pa ~ 133 Pa (20 mTorr ~ 1000 mTorr) に保持した。その雰囲気中に複数のスロットを有する平面アンテナ部材 (RLSA) を介して 3 W/cm² のマイクロ波を照射することにより窒素および希ガスとを含むプラズマを形成し、このプラズマを用いて基板上に酸窒化膜 (シリコン) を成膜した (図 1 1)。

(6) : 水素プラズマによる薄膜化と Vfb シフトの回復 (図 1 1)

(5) の処理が施された酸窒化膜上に次に示すような方法で水素プラズマによるアニール処理を施した。 (5) の処理が施された酸窒化膜上に大気への暴露を行わないまま次のようなプロセスを行う (例えば同じ反応室 3 2 で処理を行う、真空搬送系を用い、大気への暴露を防いで他の反応室 3 3 で処理を行う等) ことで、 (5) の処理で得られた酸窒化膜上部への有機物汚染や自然酸化膜増加を抑制したまま、水素プラズマアニール処理を施すことが出来る。400°Cに加熱されたシリコン基板上に希ガスと水素とをそれぞれ 500 ~ 2000 sccm、4 ~ 500 sccm ずつ流し、圧力を 3 Pa ~ 133 Pa (20 mTorr ~ 1000 mTorr) に保持し

た。その雰囲気中に複数のスロットを有する平面アンテナ部材（R L S A）を介して $2 \sim 3 \text{ W/cm}^2$ のマイクロ波を照射することにより水素および希ガスとを含むプラズマを形成し、このプラズマを用いて酸窒化膜上に水素プラズマアニール処理を施した（図 11）。図 11 における S I M S 分析サンプルは本工程で処理を止め、分析を行ったものである。

（7）：ゲート電極用ポリシリコン成膜

上記した処理（3）～（6）で形成した酸窒化膜上にゲート電極としてポリシリコンを C V D 法にて成膜した。酸窒化膜の成膜されたシリコン基板を 630°C で加熱し、基板上にシランガス 250 sccm を 33 Pa の圧力下で導入し 30 分保持することで SiO_2 膜上に膜厚 3000 Å の電極用ポリシリコンを成膜した。

（8）：ポリシリコンへの P（リン）ドープ

上記（7）で作製されたシリコン基板を 875°C に加熱し、基板上に POCl_3 ガスと水素および窒素をそれぞれ 350 sccm 、 200 sccm 、 20000 sccm ずつ常圧下で導入し 24 分間保持することでポリシリコン中にリンをドープした。

（9）：パターニング、ゲートエッチ

上記（8）で作製したシリコン基板上にリソグラフィによりパターニングを施し、 $\text{HF} : \text{HNO}_3 : \text{H}_2\text{O} = 1 : 60 : 60$ の比の薬液中にシリコン基板を 3 分間浸することでパターニングされていない部分のポリシリコンを溶かし、M O S キャパシタを作製した。

実施例 2

実施例 1 で得た M O S キャパシタに対する測定は、次に示すような方法で行った。ゲート電極面積が $10000 \mu\text{m}^2$ のキャパシタの C V、I V 特性を評価した。C V 特性は周波数 100 KHz 、ゲート電圧を $+1 \text{ V}$ から -3 V 程度まで掃引し各電圧におけるキャパ

シタンスを評価することで求めた。C V特性から電気的膜厚とV_{f_b}（フラットバンド電圧）を計算した。また、I V特性はゲート電圧を0 Vから-5 V程度まで掃引し、各電圧において流れる電流値（リーク電流値）を評価することで求めた。C V測定から求めたV_{f_b}から-0.4 Vを差し引いたゲート電極電圧におけるリーク電流値をI V特性から計算した。

図5は前プラズマ処理を施した場合と施さなかった場合の酸化膜のリーク特性を比較したものである。前プラズマ処理の効果のみを示すため、ここで用いられている酸化膜には窒化および後水素処理は施されていない。横軸にC V特性から求めた電気的膜厚、縦軸はゲート電圧V_{f_b}-0.4 V（V_{f_b}が-0.8 V程度のため、約-1.2 V）におけるリーク電流値を示した。図5から分るように前プラズマ処理を施すことで酸化膜のリーク電流値を低減することに成功する。

図6は前プラズマ処理を施したRLSAプラズマ酸化膜と、現在一般にデバイスに用いられている熱酸化膜のフラットバンド特性を比較したものである。横軸にC V特性から求めた電気的膜厚、縦軸にC V特性から求めたフラットバンド電圧を示した。膜や界面にキャリアのトラップとなる欠陥等が存在すると、フラットバンド電圧は大きく負方向にシフトすることが知られているが、前プラズマ処理を施した膜は熱酸化膜と同等の値（約-0.8 V）を示しており、本工程におけるフラットバンド特性の劣化は見られなかった。

図7aは本発明における複数工程（マルチプロセス）を用いたゲート酸窒化膜の電気的膜厚の経時変化（各工程ごとにおける電気的膜厚の変化）を示す。横軸は処理時刻、縦軸は電気的膜厚である。窒化処理を施すことで電気的膜厚を1~3.5 Å低減することに成功している。また、後水素処理を施すことで更なる薄膜化にも成功

している。

図7 bは図9と同様の膜のフラットバンド電圧の経時変化（各工程ごとにおけるフラットバンド電圧の変化）を示す。横軸は処理時刻、縦軸はフラットバンド電圧である。膜や界面にキャリアのトラップとなる欠陥等が存在すると、フラットバンド電圧は大きく負方向にシフトすることが知られているが、後プラズマ水素処理を施した膜はフラットバンドシフトの回復を示しており、窒化によって劣化した膜特性の回復が生じていることが示される。

図8から分るように水素処理を施すことで膜厚（酸素の含まれている層の厚さ）が減少していることが分る。これは水素反応種による還元作用によるものと考えられる。この工程を有効に利用することで制御が困難な領域（～10Å）薄膜化の制御（エッチング）も可能となる。

図7 a、bから分るように、本発明を用いると、シリコン基板を大気へ暴露することなく、連続的に複数の工程を同一の原理を持った反応室内で行うことが可能となり、例えば一つの反応室ですべての工程を行うことでフットプリントの低減が実現できる。また、各工程を別の反応室で処理する場合も、動作原理が同じ反応室を並べるため、ガス配管や操作パネルを同一のものにすることも可能であり、優れたメンテ、操作性を実現できる。更に、同一の装置であるために装置間の持ち込み汚染の可能性は低く、複数の反応室を持つクラスター構成とした場合でも、処理順番を様々に変えることが可能である。この方法を用いると様々な特性を持つゲート絶縁膜の作製が可能となる。

また、上記の例では本発明を用いて作製された酸窒化膜をそのままゲート絶縁膜として使用しているが、本発明を用いて極薄（～10Å；オングストローム）の酸窒化膜を形成し、その上にHigh

－kなどの高誘電率を持つ物質を成膜することで、High-k物質単独でゲート絶縁膜を形成した場合よりも界面特性、例えばトランジスタのキャリア移動度の高い積層ゲート絶縁膜構造（ゲートスタック構造）を作ることも可能となる。

実施例 3

本態様に関わるロジックデバイスの製造方法は、大別して「素子分離→MOSトランジスタ作製→容量作製→層間絶縁膜成膜および配線」のような流れで行われる。

以下に本発明工程が含まれるMOSトランジスタ作製前工程の中でも、特に本発明と関連の深いMOS構造の作製について、一般的な例を挙げて解説を行う。

(1) : 基板

基板にはP型もしくはN型のシリコン基板を用い、比抵抗が1～30Ωcm、面方位(100)のものを用いる。以下ではP型のシリコン基板を用いたNHOSトランジスタの作製方法について解説を行う。

シリコン基板上には目的に応じ、STIやLOCOS等の素子分離工程やチャネルインプラが施されており、ゲート酸化膜やゲート絶縁膜が成膜されるシリコン基板表面には犠牲酸化膜が成膜されている（図9）。

(2) : ゲート酸化膜（ゲート絶縁膜）成膜前の洗浄

一般にAPM（アンモニア、過酸化水素水、純水の混合液）とHPM（塩酸、過酸化水素水、純水の混合液）およびDHF（フッ酸と純水の混合液）を組み合わせたRCA洗浄によって犠牲酸化膜と汚染要素（金属や有機物、パーティクル）を除去する。必要に応じ、SPM（硫酸と過酸化水素水の混合液）、オゾン水、FPM（フッ酸、過酸化水素水、純水の混合液）、塩酸水（塩酸と純水の混合

液)、有機アルカリなどを用いる時もある。

(3) : 下地酸化前プラズマ処理

(2) の処理後に、下地酸化膜形成の前工程として基板上に R L S A プラズマ処理を施す。処理条件は例えば以下のようなものが考えられる。ウェハを真空（背圧 1×10^{-4} Pa 以下）の反応処理室 32 に搬送したのち、基板温度 400°C、希ガス（例えば Ar ガス）1000 sccm、圧力を 7 Pa ~ 133 Pa (50 mTorr ~ 1000 mTorr) に保持する。その雰囲気中に複数のスロットを有する平面アンテナ部材 (R L S A) を介して $2 \sim 3 \text{ W/cm}^2$ のマイクロ波を照射することにより希ガスプラズマを発生させ、基板表面上にプラズマ処理を施す。また、場合により混合ガスに水素 5 ~ 30 sccm 含ませることにより、水素プラズマによる酸化前処理を施す場合がある（図 10）。

(4) : 下地酸化膜の形成

(3) の処理が施されたシリコン基板上に次に示すような方法で酸化膜を形成する。(3) の処理が施されたシリコン基板に大気への暴露を行わないまま次のようなプロセスを行う（例えば同じ反応室 32 で処理を行う）ことで、(3) の処理で得られた有機物汚染除去や自然酸化膜除去効果を最適に維持したまま、酸化処理をすることが出来る。400°C に加熱されたシリコン基板上に希ガスと酸素とをそれぞれ 1000 ~ 2000 sccm、50 ~ 500 sccm ずつ流し、圧力を 13 Pa ~ 133 Pa (100 mTorr ~ 1000 mTorr) に保持する。その雰囲気中に複数のスロットを有する平面アンテナ部材 (R L S A) を介して $2 \sim 3 \text{ W/cm}^2$ のマイクロ波を照射することにより酸素および希ガスとを含むプラズマを形成し、このプラズマを用いて 3 の基板上に SiO₂ 膜を成膜する。また、処理時間を含む処理条件を変えることで膜厚を制御す

ることが可能である（図11）。

（5）：プラズマ窒化プロセス

上記（4）の処理が施された酸化膜上に次に示すような方法で窒化を施す。（4）の処理が施された酸化膜上に大気への暴露を行わないまま次のようなプロセスを行う（例えば同じ反応室32で処理を行う、真空搬送系を用い、大気への暴露を防いで他の反応室33で処理を行う等）ことで、（4）の処理で得られた酸化膜上部への有機物汚染や自然酸化膜増加を抑制したまま、窒化処理を施すことが出来る。400°Cに加熱されたシリコン基板上に希ガスと窒素とをそれぞれ500～2000sccm、4～500sccmずつ流し、圧力を3Pa～133Pa（20mTorr～1000mTorr）に保持する。その雰囲気中に複数のスロットを有する平面アンテナ部材（RLSA）を介して2～3W/cm²のマイクロ波を照射することにより窒素および希ガスとを含むプラズマを形成し、このプラズマを用いて基板上に酸窒化膜（SiON膜）を成膜する（図11）。

（6）：水素プラズマによる薄膜化とVfbシフトの回復

上記（5）の処理が施された酸窒化膜上に次に示すような方法で水素プラズマによるアニール処理を施す。（5）の処理が施された酸窒化膜上に大気への暴露を行わないまま次のようなプロセスを行う（例えば同じ反応室32で処理を行う、真空搬送系を用い、大気への暴露を防いで他の反応室33で処理を行う等）ことで、（5）の処理で得られた酸窒化膜上部への有機物汚染や自然酸化膜増加を抑制したまま、水素プラズマアニール処理を施すことが出来る。400°Cに加熱されたシリコン基板上に希ガスと水素とをそれぞれ500～2000sccm、4～500sccmずつ流し、圧力を3Pa～133Pa（20mTorr～1000mTorr）に保持

する。その雰囲気中に複数のスロットを有する平面アンテナ部材（RLSA）を介して2～3W/cm²のマイクロ波を照射することにより水素および希ガスとを含むプラズマを形成し、このプラズマを用いて酸窒化膜上に水素プラズマアニール処理を施す（図11）。

（7）：H_ig_h-kゲート絶縁膜の形成

上記（6）で形成された下地酸窒化膜上にH_ig_h-k物質を成膜する。H_ig_h-kゲート絶縁膜形成方法にはCVDを用いるプロセスとPVDを用いるプロセスとに大別される。ここでは主にCVDによるゲート絶縁膜の形成について述べる。CVDによるゲート絶縁膜の形成は、原料ガス（例えばHTB：Hf（OC₂H₅）₄とSiH₄）を200℃から1000℃の範囲内で加熱した前述のシリコン基板上に供給し、熱によって形成された反応種（例えばHfラジカルとSiラジカル、Oラジカル）を膜表面にて反応させることで成膜（例えばHfSiO）を行う。反応種はプラズマにより生成されることもある。一般にゲート絶縁膜の物理的な膜厚としては1nmから10nmの膜厚が用いられる（図12）。

（8）：ゲート電極用ポリシリコン成膜

上記（7）で形成したH_ig_h-kゲート絶縁膜（下地ゲート酸化膜を含む）上にMOSトランジスタのゲート電極としてポリシリコン（アモルファスシリコンを含む）をCVD法にて成膜する。ゲート絶縁膜の成膜されたシリコン基板を500℃から650℃の範囲内で加熱し、基板上にシリコンを含むガス（シラン、ジシラン等）を10から100Paの圧力下で導入することでゲート絶縁膜上に膜厚50nmから500nmの電極用ポリシリコンを成膜する。ゲート電極としてはポリシリコンの代替として、シリコングルマニウムやメタル（W、Ru、TiN、Ta、Moなど）が用いられる

ことがある（図13）。

その後、ゲートのパターンニング、選択エッチングを行い、MOSキャパシタを形成し（図14）、イオン打ち込み（インプラ）を施してソース、ドレインを形成する（図15）。その後アニールによりドーパント（チャネル、ソース、ドレインへインプラされたりン（P）、ヒ素（As）、ホウ素（B）等）の活性化を行う。続いて後工程となる層間絶縁膜の成膜、パターンニング、選択エッチング、メタルの成膜を組み合わせた配線工程を経て本様態に関わるMOSトランジスタが得られる（図16）。最終的にこのトランジスタ上部に様々なパターンで配線工程を施し、回路を作ることでロジックデバイスが完成する。

なお、本実施例では絶縁膜としてHfシリケイト（HfSiO膜）を形成したが、それ以外の組成からなる絶縁膜を形成することも可能である。ゲート絶縁膜としては、従来より使われている誘電率のSiO₂、SiON、また誘電率が比較的高いHigh-k物質と呼ばれる誘電率が高いAl₂O₃、ZrO₂、HfO₂、Ta₂O₅、およびZrSiO、HfSiO等のシリケートやZrAlO等のアルミネートからなる群から選択される1又は2以上のものが挙げられる。

また、本実施例では、下地のゲート酸窒化膜形成を目的としているが、High-k物質の成膜を行わず、下地ゲート酸窒化膜をそのままゲート絶縁膜として用いることも下地酸化膜の膜厚を制御することも可能である。

また、窒化処理を行わない酸化膜を下地に用いたり、酸化膜そのものをゲート絶縁膜として用いることも可能である。

さらに、必要に応じて酸化前処理や後水素処理を省いたり、処理順序を変えることも可能である。

以下に目的に応じた処理順序の例を示す。

1 : ゲート酸化膜の形成

酸化前処理 → 酸化処理 → $\text{P} \circ 1 \text{ y}$ 成膜

2 : ゲート酸窒化膜の形成 - 1

酸化前処理 → 酸化処理 → 窒化処理 → 後水素処理 → $\text{P} \circ 1 \text{ y}$ 成膜

3 : ゲート酸窒化膜の形成 - 2

酸化前処理 → 窒化処理 → 酸化処理 → 後水素処理 → $\text{P} \circ 1 \text{ y}$ 成膜

4 : H i g h - k 下地酸化膜の形成

酸化前処理 → 酸化処理 → 後水素処理による薄膜化 → H i g h - k 成膜 → $\text{P} \circ 1 \text{ y}$ 成膜

5 : H i g h - k 下地窒化膜の形成

窒化前処理 (酸化前処理と同様) → 窒化処理 → 後水素処理 → H i g h - k 成膜 → $\text{P} \circ 1 \text{ y}$ 成膜

上記に述べたのは本発明の特徴の一例であり、それ以外にも様々な処理方法が同一の装置構成にて施される。

これまで述べたように、本発明を用いると、シリコン基板を大気へ暴露することなく、連続的に複数の工程を同一の原理を持った反応室内で行うことが可能となり、例えば一つの反応室で洗浄、酸化、窒化、エッチングからなる複数の工程を行うことでフットプリントの低減が実現できる。また、各工程を別の反応室で処理する場合も、動作原理が同じ反応室を並べるため、ガス配管や操作パネルを同一のものにすることも可能であり、優れたメンテナンス、操作性を実現できる。更に、同一の装置であるために装置間の持ち込み汚染の可能性は低く、複数の反応室を持つクラスター構成とした場合でも、処理順番を様々なに変えることが可能である。この方法を用いると様々な特性を持つゲート絶縁膜の作製が可能となる。

産業上の利用可能性

上述したように本発明に依れば、様々な特性（例えば、極薄膜厚の制御や、高い清浄度等）に優れた絶縁膜を効率よく（例えば、一つの反応室で洗浄、酸化、窒化、エッチングからなる複数の工程を行うことによる小さいフットプリントや、同一の動作原理の反応室で様々な工程を行うことによる操作性の簡略化、装置間のクロスコンタミネーションの抑制等）製造することが可能となる。

請 求 の 範 囲

1. 電子デバイス用基材上に絶縁膜を形成するプロセスにおいて、該工程に含まれる絶縁膜特性を制御する2以上の工程が、同一の動作原理下で行われることを特徴とする基材表面の絶縁膜の形成方法。
2. 前記同一の動作原理下で行われる工程が、前記基材表面および／又は絶縁膜の洗浄、酸化、窒化、およびエッチングからなる群から選ばれる2以上の工程である請求項1に記載の絶縁膜の形成方法。
3. 前記電子デバイス用基材が、半導体材料である請求項1または2に記載の絶縁膜の形成方法。
4. 前記電子デバイス用基材が、単結晶シリコンを主成分とする基板である請求項1～3のいずれかに記載の絶縁膜の形成方法。
5. 前記動作原理が、少なくとも希ガスを含む処理ガスに基づくプラズマを含む請求項1～4のいずれかに記載の絶縁膜の形成方法。
。
6. 前記プラズマが、平面アンテナ部材（R L S A）を介するマイクロ波照射に基づくプラズマである請求項5に記載の絶縁膜の形成方法。
7. 前記プロセスが洗浄工程を含み、且つ、該洗浄工程が、少なくとも希ガスを含む処理ガスに基づくプラズマに基づく処理を含む請求項1～6のいずれかに記載の絶縁膜の形成方法。
8. 前記洗浄工程が、少なくとも希ガスと水素ガスを含む処理ガスに基づくプラズマ処理を含む請求項7に記載の絶縁膜の形成方法。
。
9. 前記プロセスが酸化工程を含み、且つ、該酸化工程が、少な

くとも希ガスと酸素とを含む処理ガスに基づくプラズマ処理を含む請求項 1～8 のいずれかに記載の絶縁膜の形成方法。

10. 前記プロセスが窒化工程を含み、且つ、該窒化工程が、少なくとも希ガスと窒素とを含む処理ガスに基づくプラズマ処理を含む請求項 1～9 のいずれかに記載の絶縁膜の形成方法。

11. 前記プロセスがエッチング工程を含み、且つ、該エッチング工程が、少なくとも希ガスと水素とを含む処理ガスに基づくプラズマ処理を含む請求項 1～9 のいずれかに記載の絶縁膜の形成方法。

12. 前記基材表面および／又は絶縁膜の洗浄、酸化、窒化、およびエッチングからなる群から選ばれる 2 以上の工程が、同一容器内で行われる請求項 2 に記載の絶縁膜の形成方法。

13. 前記プロセスにより形成された絶縁膜が、CVD（化学気相堆積）絶縁膜の下地絶縁膜として用いられる請求項 1～9 のいずれかに記載の絶縁膜の形成方法。

14. 前記絶縁膜が、High-k（高誘電率）材料を含む絶縁膜である請求項 1～13 のいずれかに記載の絶縁膜の形成方法。

15. 前記基材表面および／又は絶縁膜の洗浄、酸化、窒化、およびエッチングからなる群から選ばれる 2 以上の工程が、該基材表面および／又は絶縁膜の大気への暴露（大気開放）を避けて行われる請求項 2 に記載の絶縁膜の形成方法。

Fig.1

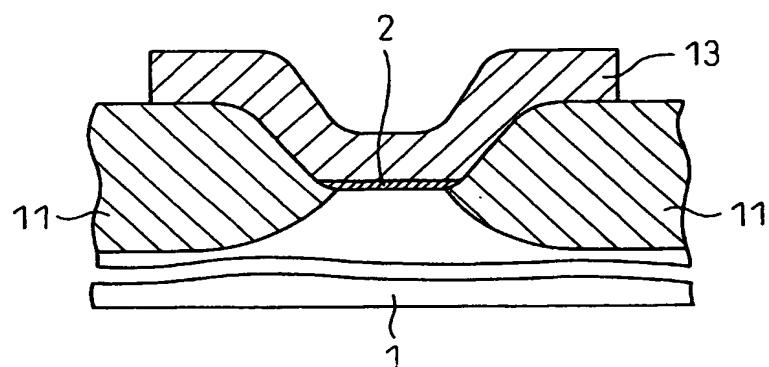


Fig. 2

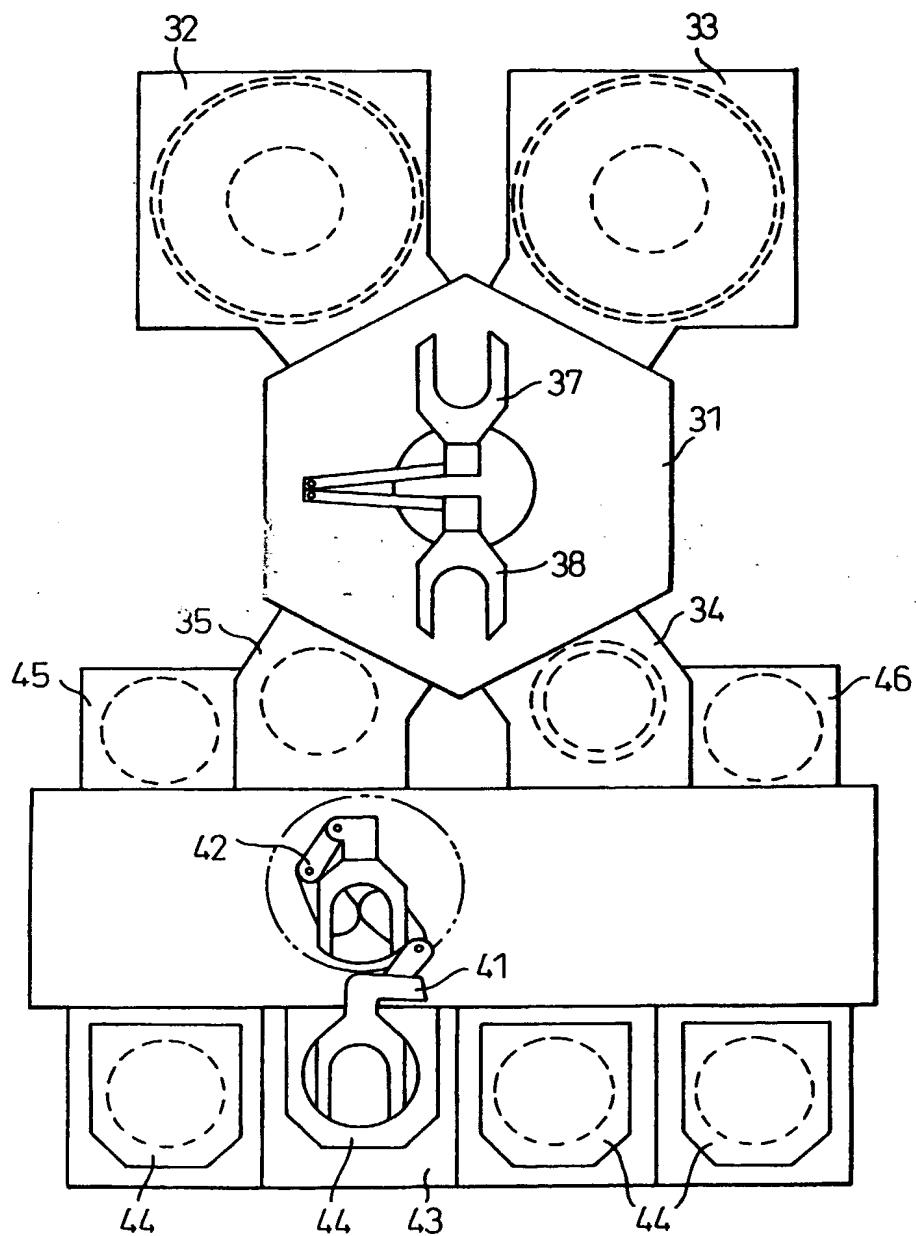
30

Fig.3

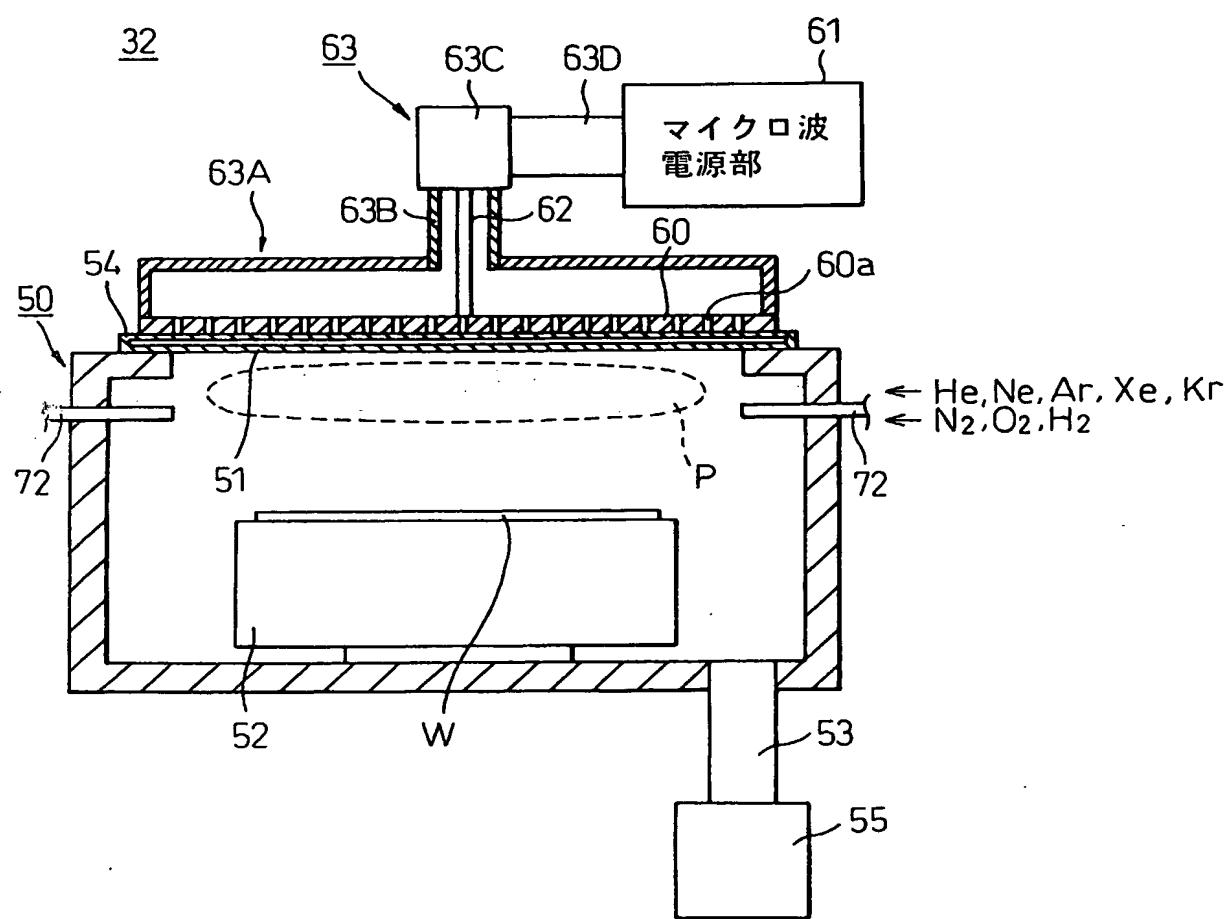


Fig. 4

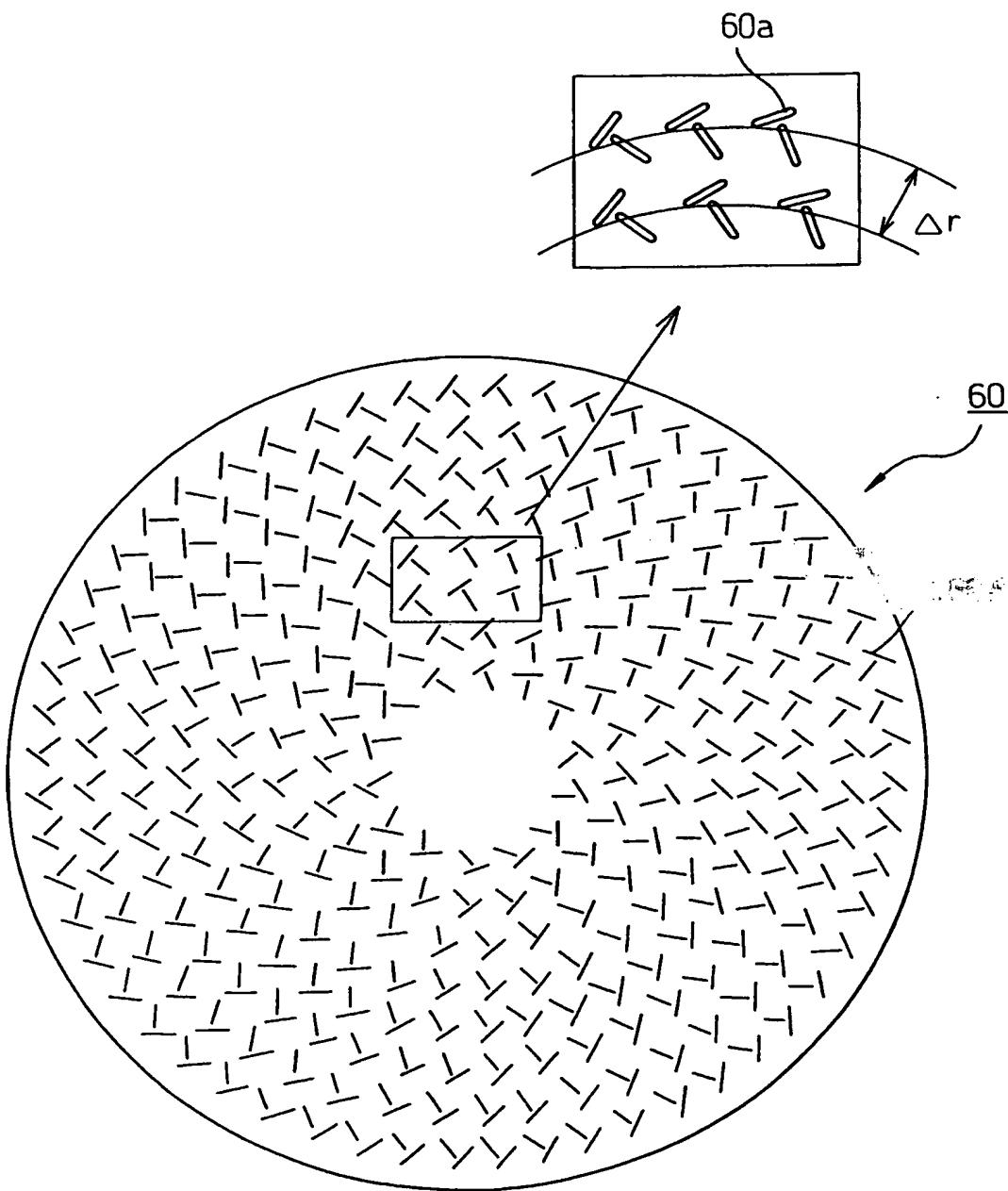


Fig.5

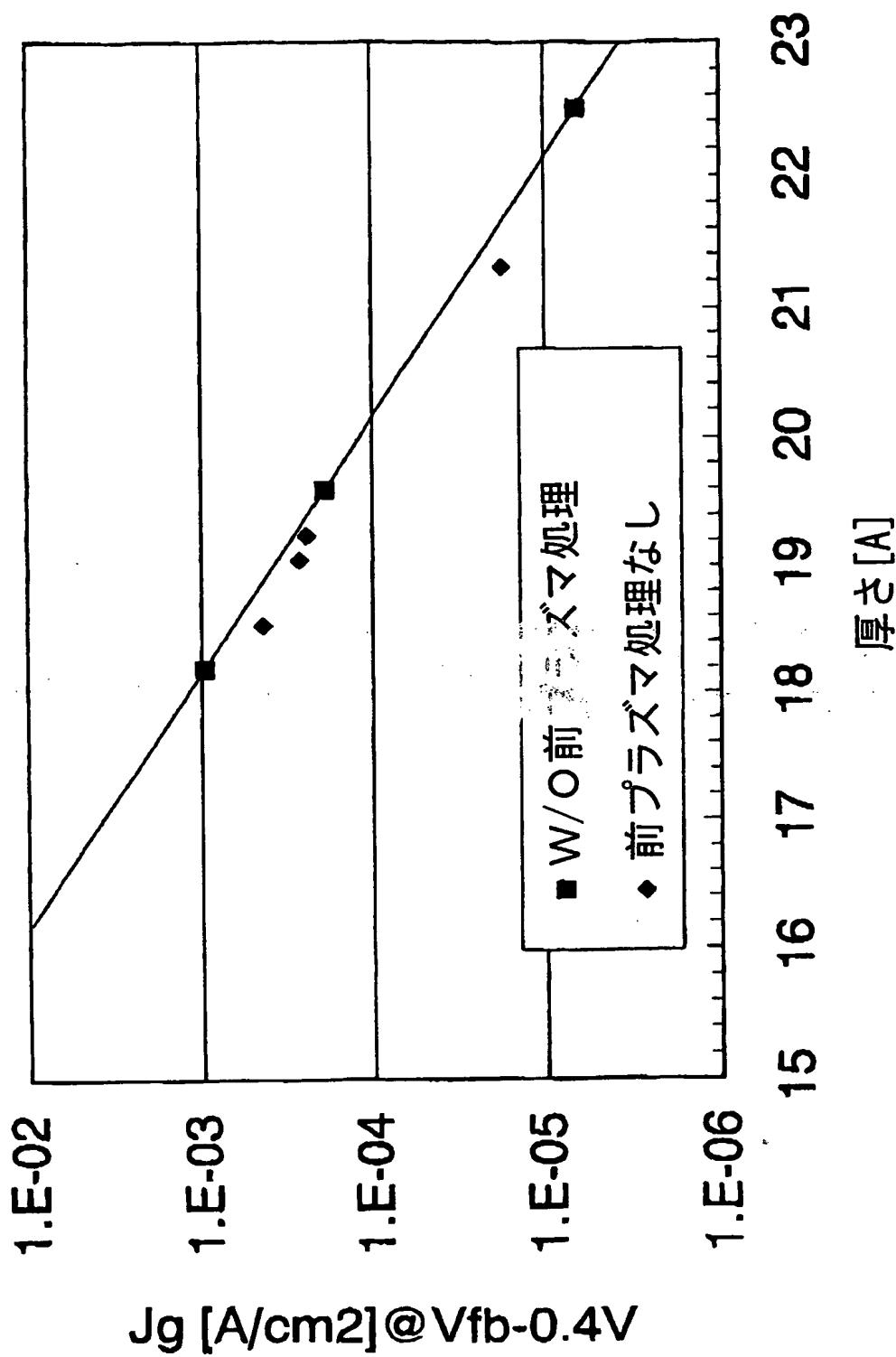


Fig.6

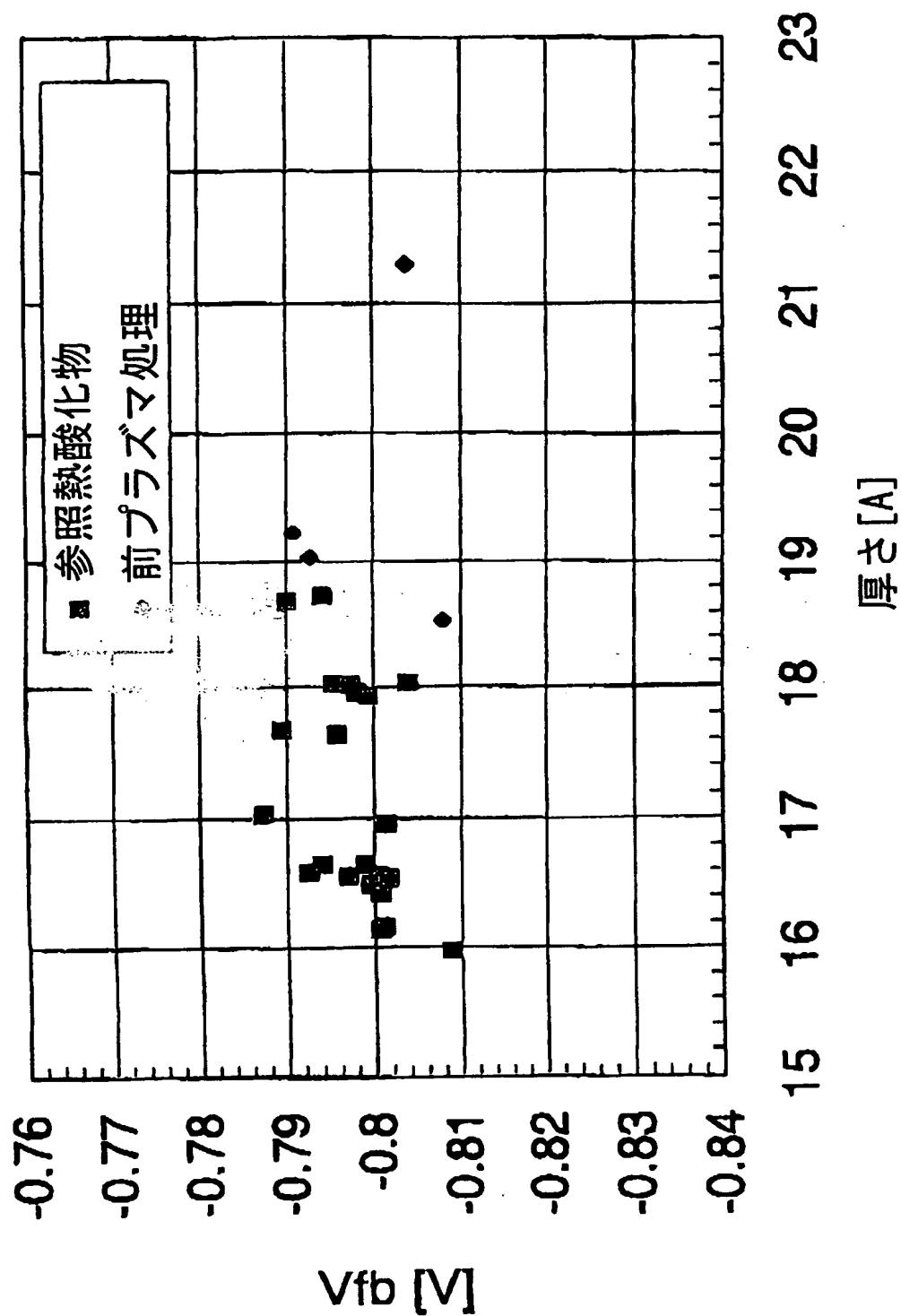


Fig. 4(a)

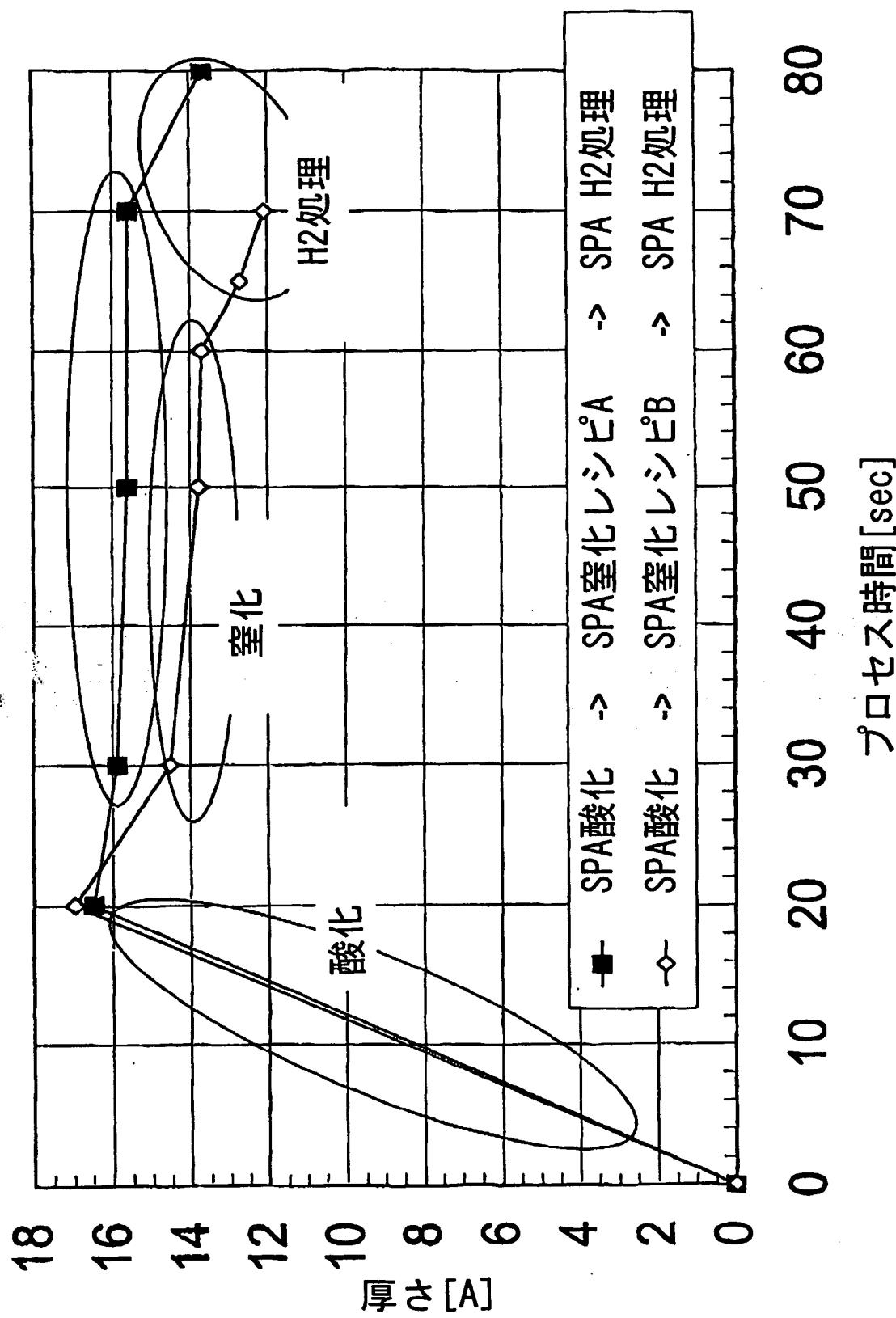


Fig.7(b)

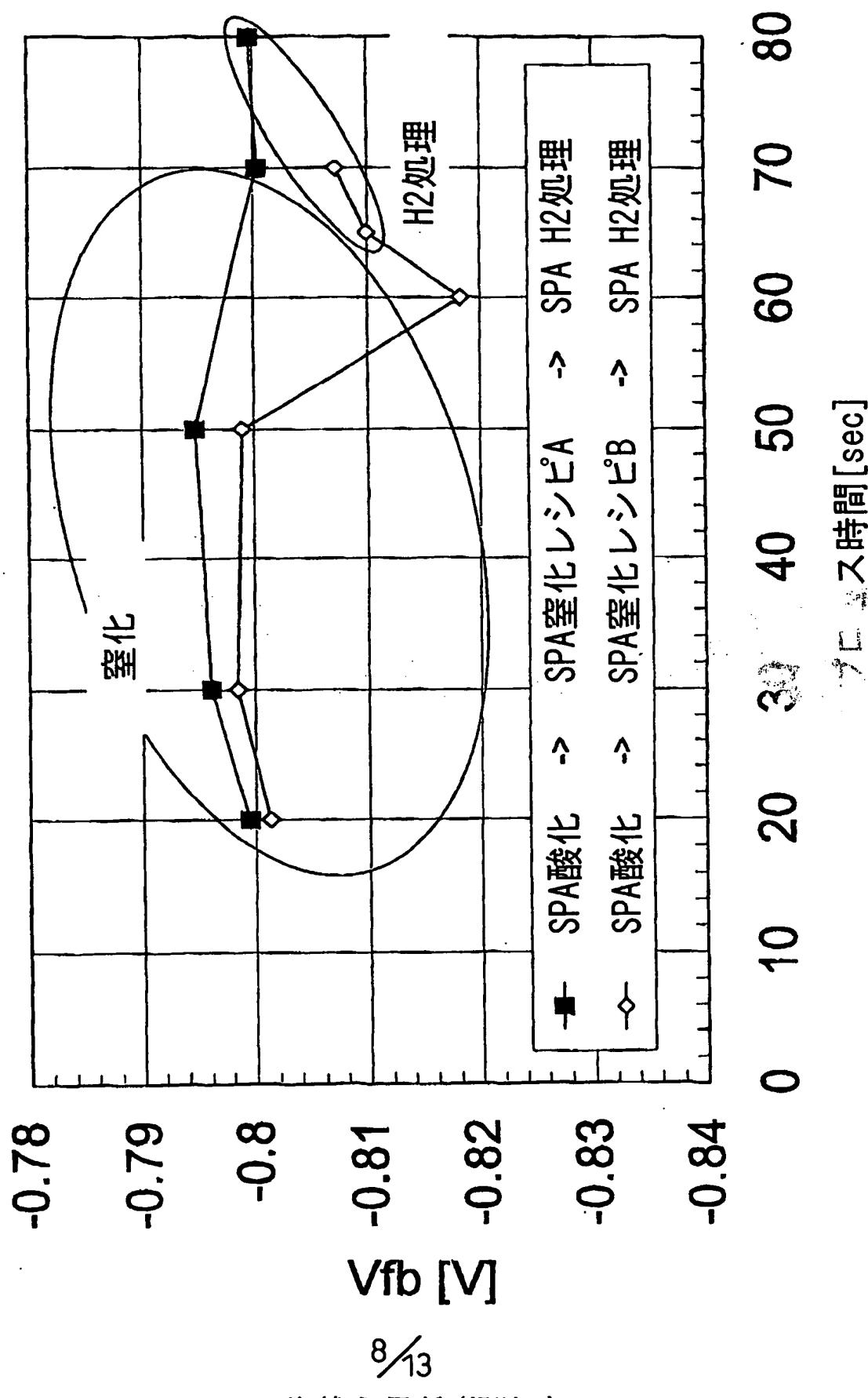


Fig. 8

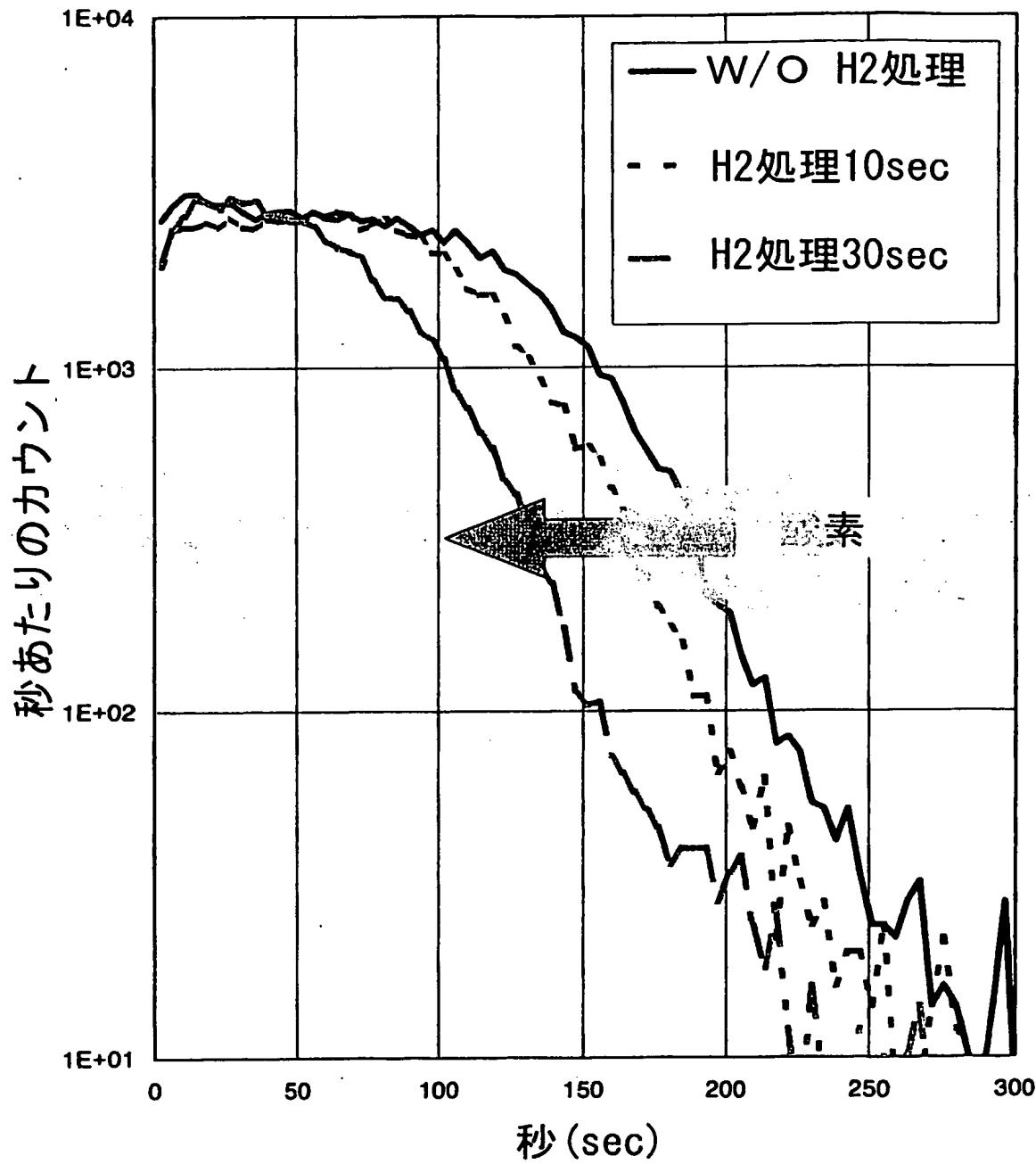


Fig. 9

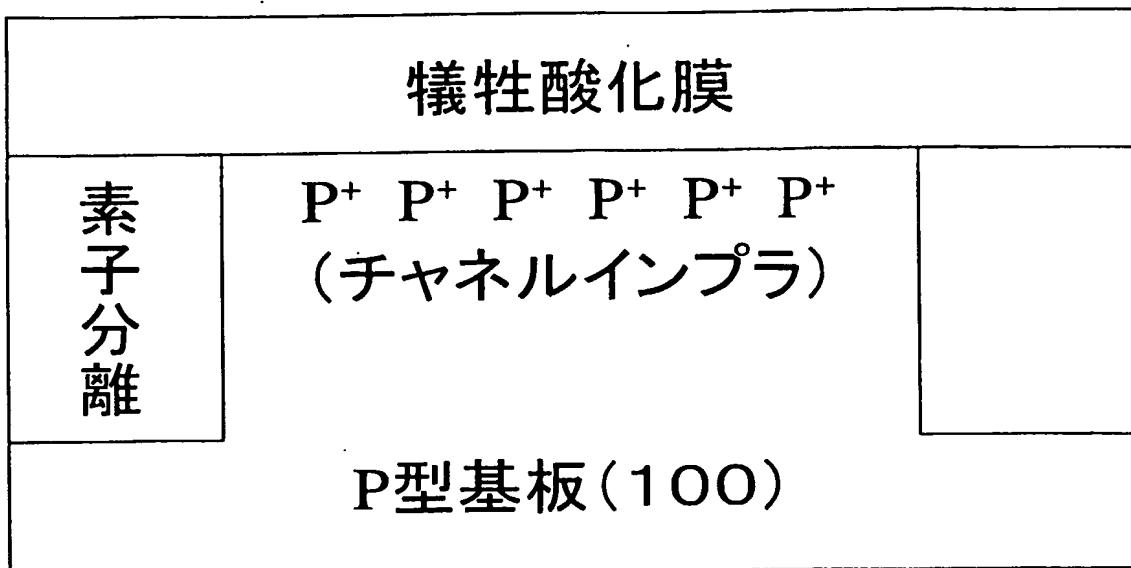


Fig. 10

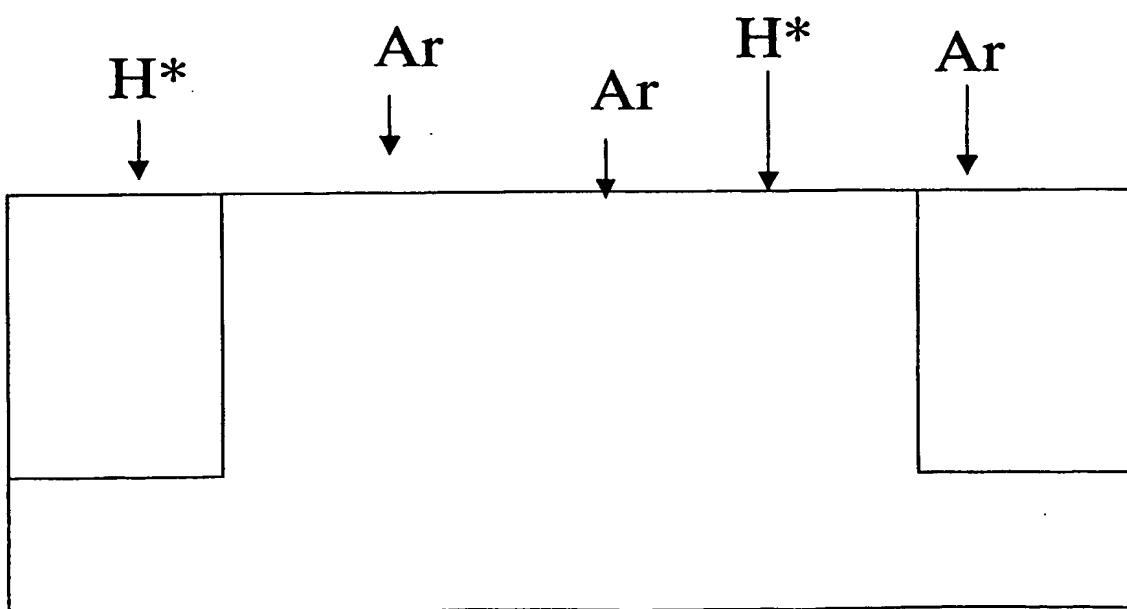


Fig.11

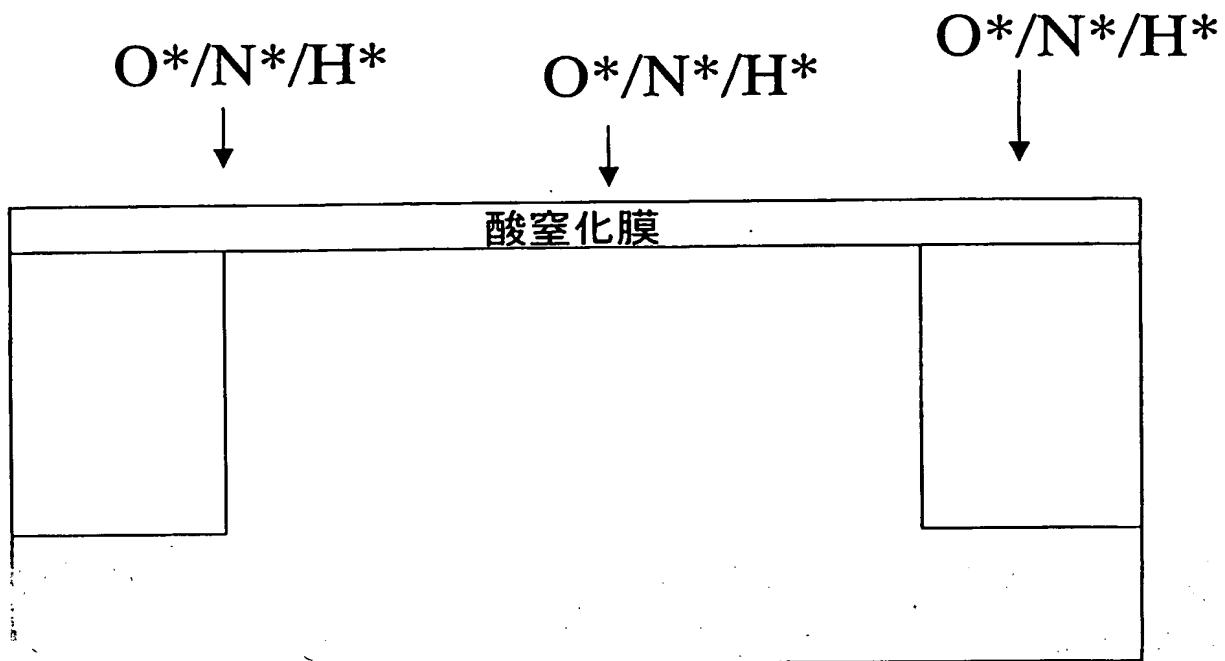


Fig.12

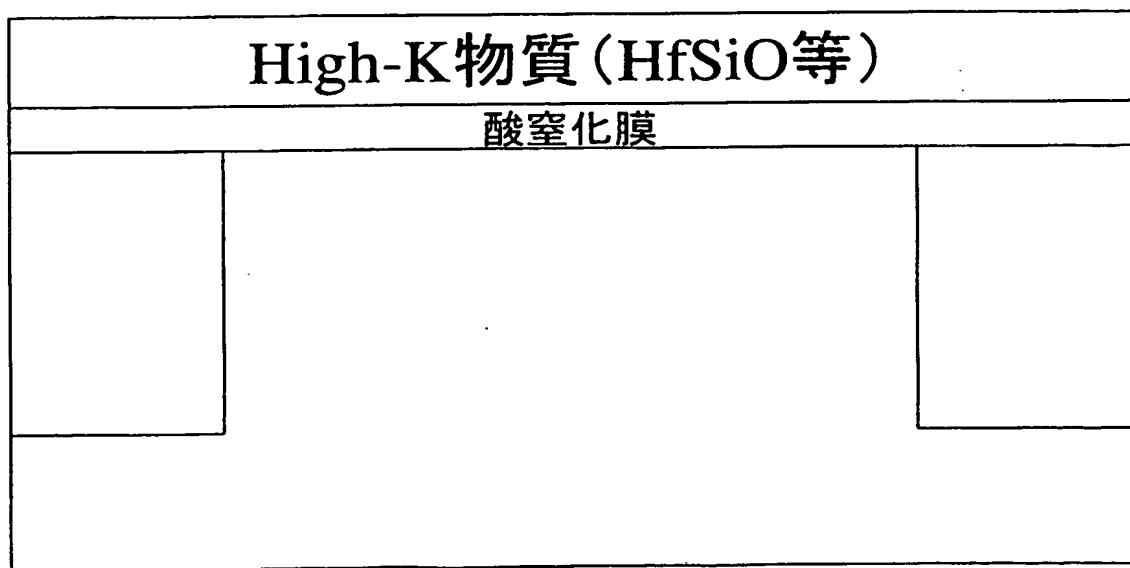


Fig.13

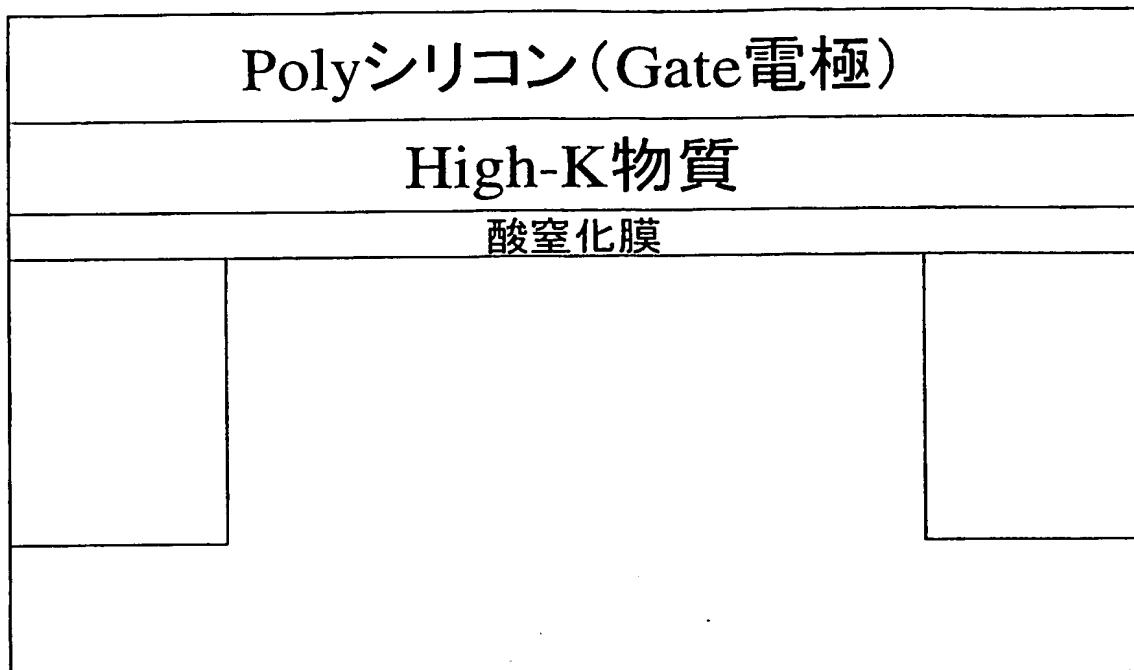


Fig.14

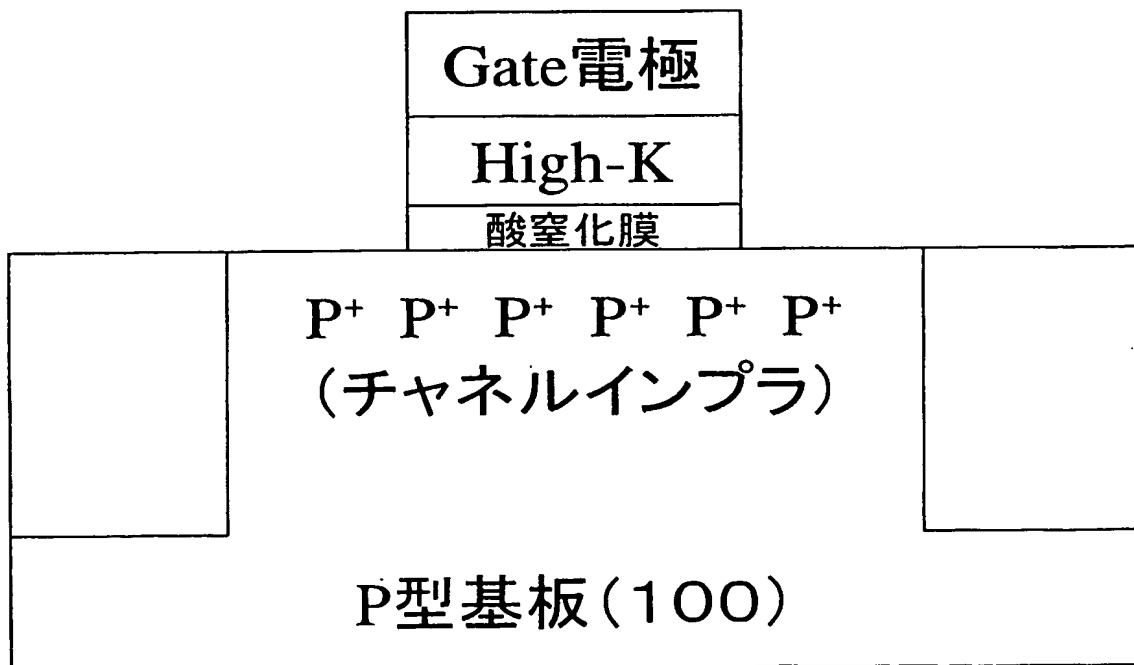


Fig.15

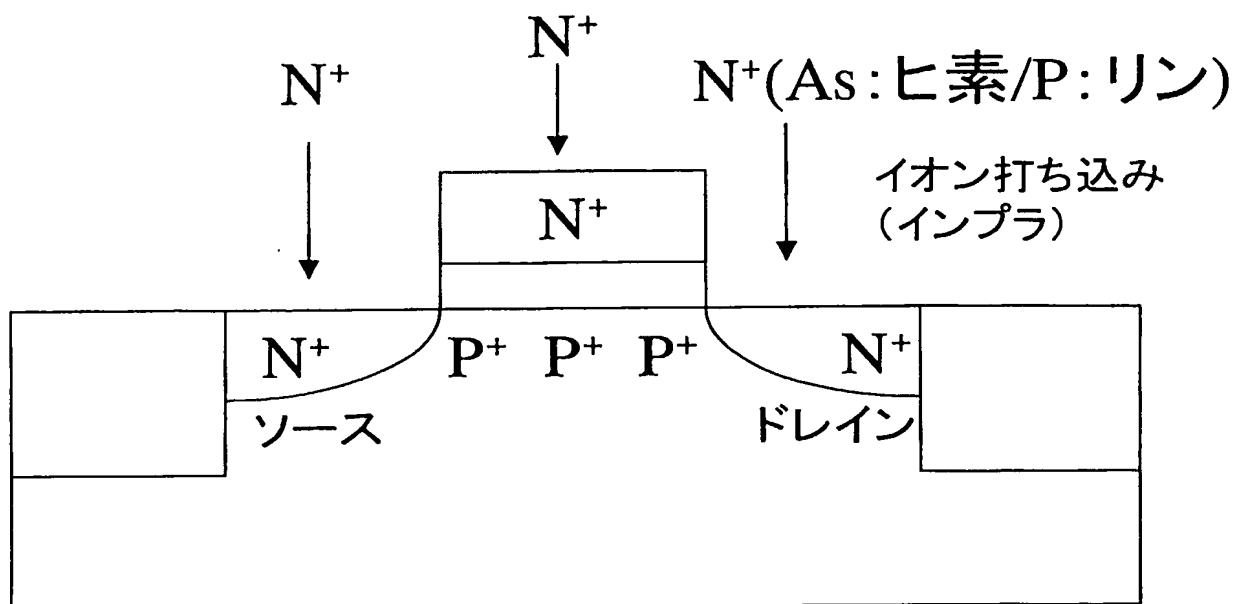
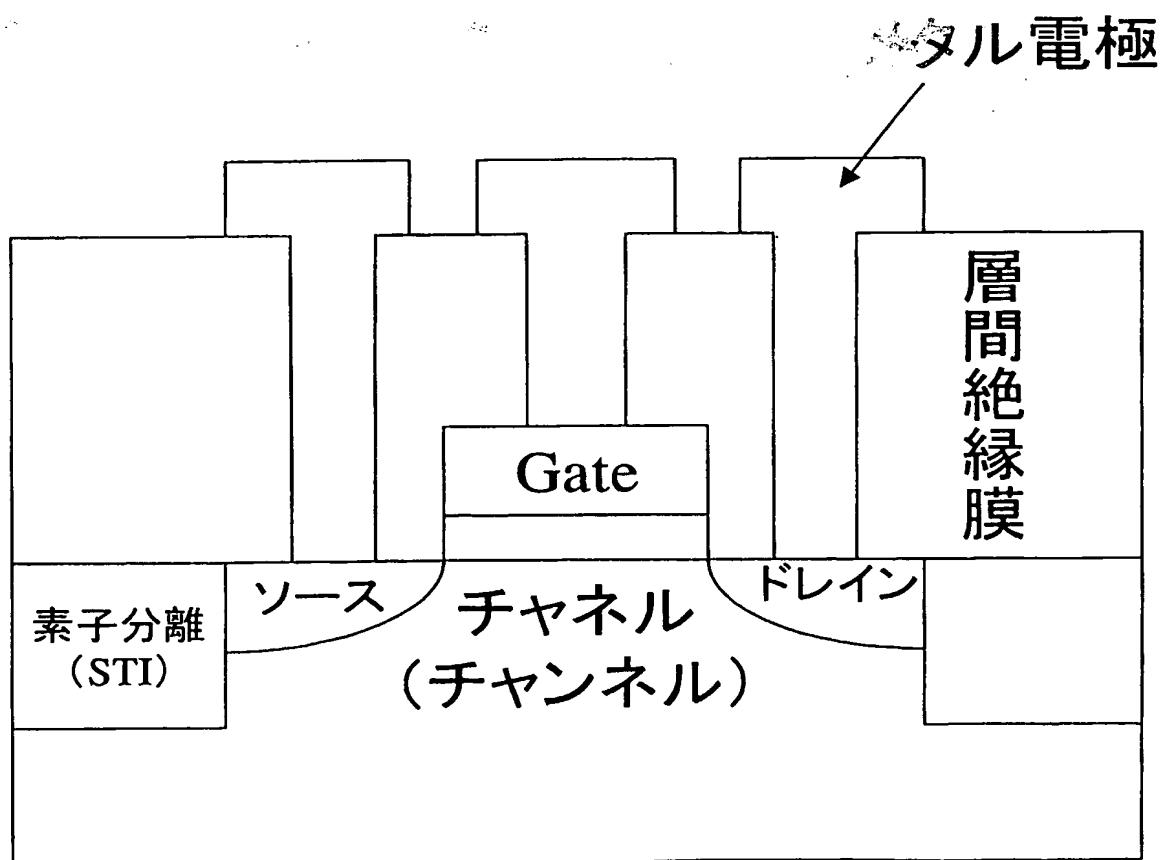


Fig.16



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/04091

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl' H01L21/316, 21/318, 21/3065

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl' H01L21/312-21/318, 21/205, 21/3065

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002/0014666 A1 (Tadahiro OHMI), 07 February, 2002 (07.02.02), Page 7, left column, line 1 to page 7, right column, line 36 & JP 2001-160555 A	1-6, 9, 10, 12, 15 <u>7, 8, 11, 14</u>
Y	JP 2000-294550 A (Takao Bi-Electron Ltd.), 20 October, 2000 (20.10.00), Claims & US 2002/0111000 A1 & KR 2000076774 A	1-6, 9, 10, 12, 13, 15 <u>7, 8, 11, 14</u>
Y	JP 11-40397 A (Canon Inc.), 12 February, 1999 (12.02.99), Column 7, lines 37 to 44; column 17, line 48 to column 20, line 9 & EP 880164 B1 & US 6497783 B	7, 8, 11

Further documents are listed in the continuation of Box C. See patent family annex.

- * Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
06 June, 2003 (06.06.03)

Date of mailing of the international search report
17 June, 2003 (17.06.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/04091

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-111000 A (Samsung Electronics Co., Ltd.), 20 April, 2001 (20.04.01), Column 9, lines 8 to 26; Fig. 2 & US 2002/0195683 A1 & KR 2001017820 A & GB 2353404 A	14
Y	JP 2001-217415 A (Matsushita Electric Industrial Co., Ltd.), 10 August, 2001 (10.08.10), Column 6, lines 5 to 11 (Family: none)	14

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl' H01L 21/316, 21/318, 21/3065

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl' H01L 21/312 -21/318, 21/205, 21/3065

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2003年

日本国登録実用新案公報 1994-2003年

日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 2002/0014666 A1 (Tadahiro Ohmi) 2002. 02. 07, 第7頁左欄第1行-第7頁右欄第36行 & JP 2001-160555 A	1-6, 9, 10, 12, 15 <u>7, 8, 11</u>
X	JP 2000-294550 A (東京エレクトロン株式会社) 2000. 10. 20, 特許請求の範囲	1-6, 9, 10, 12, 13, 15
Y	& US 2002/0111000 A1 & KR 2000076774 A	<u>7, 8, 11, 14</u>

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

06. 06. 03

国際調査報告の発送日

17.06.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田中 永一

4 R 9539



電話番号 03-3581-1101 内線 3469

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	JP 11-40397 A (キャノン株式会社) 1999. 02. 12, 第7欄第37行-第44行, 第17欄第48行-第20欄第9行 & EP 880164 B1 & US 6497783 B	7, 8, 11
Y	JP 2001-111000 A (三星電子株式会社) 2001. 04. 20, 第9欄第8行-第26行, 図2 & US 2002/0195683 A1 & KR 2001017820 A & GB 2353404 A	14
Y	JP 2001-217415 A (松下電器産業株式会社) 2001. 08. 10, 第6欄第5行-第11行 (ファミリーなし)	14